

日本国特許庁
JAPAN PATENT OFFICE

OK
Ohto et al
Filed 8/28/03
Q7719,
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月 8日
Date of Application:

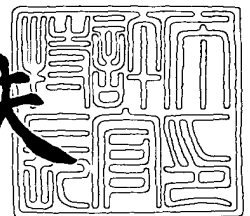
出願番号 特願2003-130484
Application Number:
[ST. 10/C]: [JP 2003-130484]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年 8月13日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3065110

【書類名】 特許願

【整理番号】 74120083

【提出日】 平成15年 5月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/768

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 大音 光市

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 宇佐美 達矢

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 竹脇 利至

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 山西 信之

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100123788

【弁理士】

【氏名又は名称】 宮崎 昭夫

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【先の出願に基づく優先権主張】

【出願番号】 特願2002-132780

【出願日】 平成14年 5月 8日

【先の出願に基づく優先権主張】

【出願番号】 特願2002-302841

【出願日】 平成14年10月17日

【手数料の表示】

【予納台帳番号】 201087

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0304746

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された絶縁膜の溝部内に、上面が露出する金属配線を形成する工程と、

前記金属配線上面からシリコンを拡散させる工程と、

前記金属配線の露出面に金属拡散防止膜を形成する工程と、
を有する半導体装置の製造方法。

【請求項 2】 半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜および第 3 の絶縁膜を順に形成する工程と、

前記第 1 の金属配線上面が露出するまで、前記第 1 の金属拡散防止膜、前記第 2 の絶縁膜および前記第 3 の絶縁膜を連通する開孔を形成する工程と、

前記第 3 の絶縁膜に、前記開孔につながる第 1 の溝部を形成する工程と、

前記開孔および前記第 1 の溝部に金属を埋め込み、前記第 1 の溝部内に形成される第 2 の金属配線と前記第 1 の金属配線とを接続するためのビアプラグを形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有する半導体装置の製造方法。

【請求項 3】 半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜および第 3 の絶縁膜を順に形成する工程と、

前記第 3 の絶縁膜を選択的にエッチングして第 1 の溝部を形成する工程と、

前記第 1 の金属配線の上面が露出するまで、前記第 1 の金属拡散防止膜、前記第 2 の絶縁膜および前記第 3 の絶縁膜を連通し、かつ前記第 1 の溝部につながる開孔を形成する工程と、

前記第 1 の溝部および前記開孔に金属を埋め込み、前記第 1 の溝部内に形成される第 2 の金属配線と前記第 1 の金属配線とを接続するためのビアプラグを形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有する半導体装置の製造方法。

【請求項 4】 半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜およびエッチングストッパー膜を順に形成する工程と、

前記第 2 の絶縁膜が露出するまで前記エッチングストッパー膜を選択的にエッチングして第 1 の開孔を形成する工程と、

前記第 2 の絶縁膜および前記エッチングストッパー膜の露出面上に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜に、前記第 1 の開孔と幅が同等以上で、前記第 1 の開孔につながる第 1 の溝部を形成する工程と、

前記第 1 の開孔を含む位置に、前記第 1 の金属配線が露出するまで、前記第 1 の金属拡散防止膜、前記第 2 の絶縁膜および前記第 3 の絶縁膜を連通する第 2 の開孔を形成する工程と、

前記第 1 の溝部、前記第 1 の開孔および前記第 2 の開孔に金属を埋め込み、前

記第 1 の溝部内に形成される第 2 の金属配線と前記第 1 の金属配線とを接続するためのビアプラグを形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有する半導体装置の製造方法。

【請求項 5】 半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜を形成する工程と、

前記第 1 の金属配線が露出するまで前記第 1 の金属拡散防止膜および前記第 2 の絶縁膜を連通する開孔を形成する工程と、

前記開孔に金属を埋め込んでビアプラグを形成する工程と、

前記ビアプラグおよび前記第 2 の絶縁膜の露出面を覆う第 3 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜が露出するまで前記第 3 の絶縁膜を選択的にエッチングして、前記ビアプラグとつながる第 1 の溝部を形成する工程と、

前記第 1 の溝部に金属を埋め込んで第 2 の金属配線を形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有する半導体装置の製造方法。

【請求項 6】 前記ビアプラグにシリコンを拡散させる請求項 2 乃至 5 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 7】 半導体基板上に形成された第 1 の絶縁膜の溝部内に設けられた第 1 の金属配線と、前記第 1 の金属配線を覆う第 2 の絶縁膜上に設けられた第 2 の金属配線と、前記第 1 の金属配線と前記第 2 の金属配線とを接続するためのビアプラグとを有する半導体装置の製造方法であって、

半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金

属配線を形成する工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 2 の絶縁膜を形成する工程と、

前記第 1 の金属配線が露出するまで前記第 2 の絶縁膜を選択的にエッチングして開孔を形成する工程と、

前記開孔に金属を埋め込んで前記ビアプラグを形成する工程と、

前記ビアプラグ上面からシリコンを拡散させる工程と、

前記ビアプラグの露出面を覆う前記第 2 の金属配線を形成する工程と、
を有する半導体装置の製造方法。

【請求項 8】 前記金属配線の配線全体にシリコンを拡散させる請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記金属配線は、シリコン濃度が上面で最も高い請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記金属配線は、シリコン濃度が 8 a t o m s % 以下である請求項 8 または 9 記載の半導体装置の製造方法。

【請求項 11】 前記金属配線は、金属シリサイド層を含有しないシリコン含有金属配線である請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の金属配線の配線全体にシリコンを拡散させる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 13】 前記第 1 の金属配線は、シリコン濃度が上面で最も高い請求項 12 記載の半導体装置の製造方法。

【請求項 14】 前記第 1 の金属配線は、シリコン濃度が 8 a t o m s % 以下である請求項 12 または 13 記載の半導体装置の製造方法。

【請求項 15】 前記第 1 の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線である請求項 14 記載の半導体装置の製造方法。

【請求項 16】 前記第 2 の金属配線の配線全体にシリコンを拡散させる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 17】 前記第 2 の金属配線は、シリコン濃度が上面で最も高い請求項 16 記載の半導体装置の製造方法。

【請求項 1 8】 前記第 2 の金属配線は、シリコン濃度が 8 a t o m s % 以下である請求項 1 6 または 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記第 2 の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線である請求項 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 前記ビアプラグは、シリコン濃度が上面で最も高い請求項 6 または 7 記載の半導体装置の製造方法。

【請求項 2 1】 前記ビアプラグは、シリコン濃度が 8 a t o m s % 以下である請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 2】 前記ビアプラグは、金属シリサイド層を含有しないシリコン含有金属ビアプラグである請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】 前記絶縁膜は、S i O₂、S i O C、および有機膜のうち少なくとも一つを含んでいる請求項 1 記載の半導体装置の製造方法。

【請求項 2 4】 前記絶縁膜は、梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 1 記載の半導体装置の製造方法。

【請求項 2 5】 前記絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は S i O₂ を有する請求項 1 記載の半導体装置の製造方法。

【請求項 2 6】 前記第 1 の絶縁膜は、S i O₂、S i O C、および有機膜のうち少なくとも一つを含んでいる請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 2 7】 前記第 1 の絶縁膜は、梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 2 8】 前記第 1 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサン

のうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 2 9】 前記第 3 の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 0】 前記第 3 の絶縁膜は、梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 1】 前記第 3 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 2】 前記金属拡散防止膜は、 SiCN 膜、 SiC 膜、 SiOC 膜および有機膜のうち少なくとも一つを含んでいる請求項 1 記載の半導体装置の製造方法。

【請求項 3 3】 前記第 1 の金属拡散防止膜は、 SiCN 膜、 SiC 膜、 SiOC 膜および有機膜のうち少なくとも一つを含んでいる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 4】 前記第 2 の金属拡散防止膜は、 SiCN 膜、 SiC 膜、 SiOC 膜および有機膜のうち少なくとも一つを含んでいる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 5】 前記第 2 の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいる請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 6】 前記第 2 の絶縁膜は、梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 2 乃至 7

のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 7】 前記第 2 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 8】 前記梯子型水素化シロキサンは L-O_x である請求項 2 4、2 5、2 7、2 8、3 0、3 1、3 6 および 3 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 3 9】 前記梯子型水素化シロキサンは、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下である請求項 2 4、2 5、2 7、2 8、3 0、3 1、3 6 および 3 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 4 0】 前記梯子型水素化シロキサンは、633 nm 波長での膜の屈折率が 1.38 以上 1.40 以下である請求項 2 4、2 5、2 7、2 8、3 0、3 1、3 6 および 3 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 4 1】 前記第 2 の絶縁膜はエッチングストッパー膜を有する請求項 2、3 および 5 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 4 2】 前記エッチングストッパー膜は、 SiCN 膜、 SiC 膜、 SiOC 膜および有機膜のうち少なくとも一つを含んでいる請求項 4 または 4 1 記載の半導体装置の製造方法。

【請求項 4 3】 前記絶縁膜の溝部に前記金属配線を形成する工程の後、前記金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記金属配線を酸素に曝すことなく、前記金属配線上面からシリコンを拡散させる請求項 1 記載の半導体装置の製造方法。

【請求項 4 4】 前記シリコンを拡散させる工程の後、前記金属配線を酸素に曝すことなく、前記金属拡散防止膜を形成する請求項 4 3 記載の半導体装置の製造方法。

【請求項 45】 前記第 1 の絶縁膜の溝部に前記第 1 の金属配線を形成する工程の後、前記第 1 の金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記第 1 の金属配線を酸素に曝すことなく、前記第 1 の金属配線上面からシリコンを拡散させる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 46】 前記シリコンを拡散させる工程の後、前記第 1 の金属配線を酸素に曝すことなく、前記第 1 の金属拡散防止膜を形成する請求項 45 記載の半導体装置の製造方法。

【請求項 47】 前記第 1 の溝部に前記第 2 の金属配線を形成する工程の後、前記第 2 の金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記第 2 の金属配線を酸素に曝すことなく、前記第 2 の金属配線上面からシリコンを拡散させる請求項 2 乃至 6 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 48】 前記シリコンを拡散させる工程の後、前記第 2 の金属配線を酸素に曝すことなく、前記第 2 の金属拡散防止膜を形成する請求項 47 記載の半導体装置の製造方法。

【請求項 49】 前記酸化防止層は、
ベンゾトリアゾールおよびベンゾトリアゾール誘導体のうち少なくとも一つを含む膜である請求項 43 乃至 48 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 50】 前記酸化防止層を除去する工程の温度が 250℃以上 400℃以下である請求項 49 記載の半導体装置の製造方法。

【請求項 51】 前記シリコンを拡散させる工程の温度が 250℃以上 400℃以下である請求項 49 または 50 記載の半導体装置の製造方法。

【請求項 52】 前記酸化防止層を除去する工程と前記シリコンを拡散させる工程の温度が等しい請求項 51 記載の半導体装置の製造方法。

【請求項 53】 前記シリコンを拡散させる工程で、 SiH_4 、 Si_2H_6 および SiH_2Cl_2 のガスのうち少なくとも一つを用いる請求項 1 乃至 52 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 5 4】 前記金属配線が銅および銅の合金のうち少なくとも一つを含有する請求項 1 記載の半導体装置の製造方法。

【請求項 5 5】 前記金属配線が水素を含有する請求項 5 4 記載の半導体装置の製造方法。

【請求項 5 6】 前記金属配線が炭素を含有する請求項 5 5 の後 1 記載の半導体装置の製造方法。

【請求項 5 7】 前記金属配線がバリアメタルを有する請求項 1 記載の半導体装置の製造方法。

【請求項 5 8】 前記第 1 の金属配線が銅および銅の合金のうち少なくとも一つを含有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 5 9】 前記第 1 の金属配線が水素を含有する請求項 5 8 記載の半導体装置の製造方法。

【請求項 6 0】 前記第 1 の金属配線が炭素を含有する請求項 5 9 の後 1 記載の半導体装置の製造方法。

【請求項 6 1】 前記第 1 の金属配線がバリアメタルを有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 6 2】 前記第 2 の金属配線および前記ビアプラグが銅および銅の合金のうち少なくとも一つを含有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 6 3】 前記第 2 の金属配線および前記ビアプラグが水素を含有する請求項 6 2 記載の半導体装置の製造方法。

【請求項 6 4】 前記第 2 の金属配線および前記ビアプラグが炭素を含有する請求項 6 3 記載の半導体装置の製造方法。

【請求項 6 5】 前記第 2 の金属配線および前記ビアプラグがバリアメタルを有する請求項 2 乃至 7 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 6 6】 前記銅の合金は、A l、A g、W、M g、B e、Z n、P d、C d、A u、H g、P t、Z r、T i、S n、N i、および F e のうち少なくとも一つを含有する請求項 5 4、5 8 および 6 2 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 67】 前記バリアメタルは、Ti、TiN、TiSiN、Ta、Ta₂N、およびTaSiNのうち少なくとも一つを有する請求項 57、61 および 65 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 68】 半導体基板上に形成された第 1 の絶縁膜中の溝部内に設けられ、シリコンが拡散された第 1 の金属配線と、

前記第 1 の金属配線の露出面を覆う第 1 の金属拡散防止膜と、
を有する半導体装置。

【請求項 69】 前記第 1 の金属配線の上面に接続され、前記第 1 の金属拡散防止膜、および前記第 1 の金属拡散防止膜上に形成された第 2 の絶縁膜の中に設けられたビアプラグと、

前記ビアプラグと接続され、前記第 2 の絶縁膜上に形成された第 3 の絶縁膜中に設けられ、シリコンが拡散された第 2 の金属配線と、

前記第 2 の金属配線の露出面を覆う第 2 の金属拡散防止膜と、
を有する請求項 68 記載の半導体装置。

【請求項 70】 前記ビアプラグと前記第 2 の金属配線との間に、該ビアプラグと該第 2 の金属配線とを分離するバリアメタルを有する請求項 69 記載の半導体装置。

【請求項 71】 前記ビアプラグにシリコンが拡散されている請求項 69 または 70 記載の半導体装置。

【請求項 72】 半導体基板上に形成された第 1 の絶縁膜中の溝部内に設けられた第 1 の金属配線と、

前記第 1 の金属配線の上面に接続され、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜に設けられ、シリコンが拡散されたビアプラグと、

前記ビアプラグと接続され、前記第 2 の絶縁膜上に形成された第 3 の絶縁膜中に設けられた第 2 の金属配線と、
を有する半導体装置。

【請求項 73】 前記ビアプラグと前記第 2 の金属配線とが一体である請求項 72 記載の半導体装置。

【請求項 74】 シリコンが前記ビアプラグ全体に拡散されている請求項 7

1乃至73のいずれか1項記載の半導体装置。

【請求項75】 前記ビアプラグは、シリコン濃度が上面で最も高い請求項74記載の半導体装置。

【請求項76】 前記ビアプラグは、シリコン濃度が8 a t o m s %以下である請求項74または75記載の半導体装置。

【請求項77】 前記ビアプラグは、金属シリサイド層を含有しないシリコン含有金属ビアプラグである請求項76記載の半導体装置。

【請求項78】 シリコンが前記第1の金属配線の配線全体に拡散されている請求項68、69および72のいずれか1項記載の半導体装置。

【請求項79】 前記第1の金属配線は、シリコン濃度が上面で最も高い請求項78記載の半導体装置。

【請求項80】 前記第1の金属配線は、シリコン濃度が8 a t o m s %以下である請求項78または79記載の半導体装置。

【請求項81】 前記第1の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線である請求項80記載の半導体装置。

【請求項82】 シリコンが前記第2の金属配線の配線全体に拡散されている請求項69または72記載の半導体装置。

【請求項83】 前記第2の金属配線は、シリコン濃度が上面で最も高い請求項82記載の半導体装置。

【請求項84】 前記第2の金属配線は、シリコン濃度が8 a t o m s %以下である請求項82または83記載の半導体装置。

【請求項85】 前記第2の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線である請求項84記載の半導体装置。

【請求項86】 前記第1の金属拡散防止膜は、
S i C N膜、S i C膜、S i O C膜および有機膜のうち少なくとも一つを有する請求項68または69記載の半導体装置。

【請求項87】 前記第2の金属拡散防止膜は、
S i C N膜、S i C膜、S i O C膜および有機膜のうち少なくとも一つを有する請求項69記載の半導体装置。

【請求項 88】 前記第 1 の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいる請求項 68、69 および 72 のいずれか 1 項記載の半導体装置。

【請求項 89】 前記第 1 の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 68、69 および 72 のいずれか 1 項記載の半導体装置。

【請求項 90】 前記第 1 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 68、69 および 72 のいずれか 1 項記載の半導体装置。

【請求項 91】 前記第 2 の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいる請求項 69 または 72 記載の半導体装置。

【請求項 92】 前記第 2 の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 69 または 72 記載の半導体装置。

【請求項 93】 前記第 2 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 69 または 72 記載の半導体装置。

【請求項 94】 前記第 3 の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいる請求項 69 または 72 記載の半導体装置。

【請求項 95】 前記第 3 の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいる請求項 69 または 72 記載の半導体装置。

【請求項 96】 前記第 3 の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有する請求項 6 9 または 7 2 記載の半導体装置。

【請求項 9 7】 前記梯子型水素化シロキサンは $\text{L}-\text{O}_x$ である請求項 8 9、9 0、9 2、9 3、9 5 および 9 6 のいずれか 1 項記載の半導体装置。

【請求項 9 8】 前記梯子型水素化シロキサンは、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下である請求項 8 9、9 0、9 2、9 3、9 5 および 9 6 のいずれか 1 項記載の半導体装置。

【請求項 9 9】 前記梯子型水素化シロキサンは、633 nm 波長での膜の屈折率が 1.38 以上 1.40 以下である請求項 8 9、9 0、9 2、9 3、9 5 および 9 6 のいずれか 1 項記載の半導体装置。

【請求項 1 0 0】 前記第 1 の金属配線が銅および銅の合金のうち少なくとも一つを含有する請求項 6 8、6 9 および 7 2 のいずれか 1 項記載の半導体装置。

【請求項 1 0 1】 前記第 1 の金属配線が水素を含有する請求項 1 0 0 記載の半導体装置。

【請求項 1 0 2】 前記第 1 の金属配線が炭素を含有する請求項 1 0 1 記載の半導体装置。

【請求項 1 0 3】 前記第 1 の金属配線がバリアメタルを有する請求項 6 8、6 9 および 7 2 のいずれか 1 項記載の半導体装置。

【請求項 1 0 4】 前記第 2 の金属配線および前記ビアプラグが銅および銅の合金のうち少なくとも一つを含有する請求項 6 9 または 7 2 記載の半導体装置。

【請求項 1 0 5】 前記第 2 の金属配線および前記ビアプラグが水素を含有する請求項 1 0 4 記載の半導体装置。

【請求項 1 0 6】 前記第 2 の金属配線および前記ビアプラグが炭素を含有する請求項 1 0 5 記載の半導体装置。

【請求項 1 0 7】 前記第 2 の金属配線および前記ビアプラグがバリアメタルを有する請求項 6 9 または 7 2 記載の半導体装置。

【請求項108】 前記銅の合金は、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、およびFeのうち少なくとも一つを含有する請求項100または104記載の半導体装置。

【請求項109】 前記バリアメタルは、Ti、TiN、TiSiN、Ta、Ta₂N₅、およびTaSiNのうち少なくとも一つを有する請求項103または107記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、Cu配線などの金属配線を有する半導体装置と、その製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の製造分野では、デバイスの高速化、高集積化にともない、デバイス設計ルールの縮小化が進んできている。デバイスの縮小化にともない、配線サイズと配線間隔も縮小化が進むため、配線抵抗や配線間寄生容量が増加していく傾向にある。配線抵抗や配線間寄生容量が増加すると時定数が大きくなり、信号の伝播速度の低下がデバイスの高速化を図る上で問題となる。

【0003】

そのため、配線抵抗を低減する方法として、配線材料として広く用いられていたAl（アルミニウム）よりも比抵抗の小さいCu（銅）を配線材料として用いた技術および製品が普及してきている。Cuを配線材料として用いる場合、ドライエッチングによるCuの微細加工が困難なことから、従来、CMP（Chemical Mechanical Polishing：化学機械的研磨）法を用いて形成されるダマシン配線と呼ばれる溝配線が一般的に広く使われている。

【0004】

図34は従来の溝配線の構造を示す断面図である。

【0005】

図34に示すように、溝配線は、半導体基板（不図示）上に形成された下地絶

縁膜 101 上に成膜された SiO_2 絶縁膜 102 の溝部中に、 Cu の拡散を防止するためのバリアメタル 105 が形成され、バリアメタル 105 により底面と側面とが覆われた Cu 配線 107 が形成された構造である。図に示す構造では、 Cu 配線 107 上に SiN 膜 112 と、図に示さない上層配線と Cu 配線 107 の絶縁性確保のための SiO_2 層間絶縁膜 110 とが順に形成されている。

【0006】

図に示した構造の形成過程において、溝配線形成の後、 Cu 配線 107 上に SiO_2 層間絶縁膜 110 を形成すると、 Cu が SiO_2 と容易に反応して SiO_2 膜中に拡散してしまうため、 Cu 拡散防止膜として、プラズマ CVD 法による SiN 膜 112 を Cu 配線 107 上に 50～150 nm 程度成膜してから、 SiO_2 層間絶縁膜 110 を成膜している。

【0007】

ところで、 Cu が配線材料として普及してきたことにともない、 Cu 配線のエレクトロマイグレーション耐性の向上が求められるようになってきているが、そのための方法の 1 つとして、 Cu 配線周囲の耐酸化性を高める構造とその方法が文献に開示されている（例えば、特許文献 1、非特許文献 1 参照。）。これらの文献には、 Cu 配線を有する Si 基板を加熱しながら SiH_4 ガスの雰囲気中にさらして、 Cu と SiH_4 ガス中の Si （シリコン）とを反応させ、 Cu 配線の表面に Cu シリサイド層を形成することで、 Cu 配線のエレクトロマイグレーション耐性の向上を行うことが提案されている。

【0008】

また、 Cu 配線上に Cu 拡散防止膜として SiN 膜を成膜する場合は、成膜のための反応ガスとして SiH_4 ガスを用いて Cu シリサイド層を形成してから SiN 膜を成膜することにより、 Cu 配線のエレクトロマイグレーション（EM）耐性が向上することが知られている。

【0009】

近年では、さらに配線間の寄生容量を低減するため、上記 SiN 膜 112 の代わりに、 SiN 膜 112 よりも比誘電率が低い SiC 膜や SiCN 膜を用いることが検討されている。また、近年では、コスト削減のため、および接続孔となる

ビアの抵抗低減のために、ビアと配線を同時に埋め込み形成するデュアルダマシン構造の配線が検討されている。

【0 0 1 0】

デュアルダマシン構造の配線を形成するためには、現在、次の三つの方法が知られている。一つ目は、層の異なる配線同士を絶縁するための異層間絶縁膜、および同じ層の配線同士を絶縁するための配線層間絶縁膜を成膜後、まずビアのエッチングをおこない、それから溝配線の加工を行い、ビアと配線を形成するビアファースト法（以下、V F 法と称する）である。二つ目は、異層間絶縁膜を成膜後、その上にビアエッチングのマスク絶縁膜を成膜し、これをビアパターンにエッチングしてから配線層間絶縁膜を成膜し、配線溝エッチングの際、ビアエッチング用のマスク絶縁膜を介して、配線溝とビアのエッチングを同時に行うミドルファースト法（以下、M F 法と称する）である。そして、三つ目は、異層間絶縁膜および配線層間絶縁膜を成膜後、まず配線溝のエッチングを行い、それからビアの加工を行い、ビアと配線を形成するトレンチファースト法（以下、T F 法と称する）である。

【0 0 1 1】

現在、主にフォトリソ工程の観点から、微細な配線構造が多い下層配線部ではV F 法が用いられ、配線幅およびビア径が比較的大きくなる中、上層配線層ではT F 法またはM F 法が用いられている。

【0 0 1 2】

【特許文献 1】

特開 2 0 0 0 - 1 5 0 5 1 7 号公報

【非特許文献 1】

1 9 9 5 年電子通信情報学会エレクトロニクスソサイエティ大会講演論文集 2、講演番号 C—4 1 8、p p 1 1 5—1 1 6

【0 0 1 3】

【発明が解決しようとする課題】

C u 拡散防止膜に上述した S i C 膜または S i C N 膜を用いた従来の溝配線構造についての問題点を項目に分けて説明する。

【0014】

1. Cu配線上にCu拡散防止膜としてSiN膜を成膜する場合、CVD法による成膜のための反応ガスとしては、SiH₄、NH₃、およびN₂が一般的に用いられる。そのため、SiN膜を成膜する際、CVD装置における成膜のための処理室内にSiH₄、NH₃、およびN₂ガスを導入し、Cu配線が形成された半導体基板の温度、および処理室内圧力の安定化を行う間、Cu配線にはSiH₄によりCuシリサイド層が形成され、Cu配線のエレクトロマイグレーション耐性が向上することになる。

【0015】

しかし、Cu配線上にCu拡散防止膜としてSiC膜やSiCN膜を成膜する場合、反応ガスとしては有機シラン系ガスであるSiH(CH₃)₃やSi(CH₃)₄が広く使われており、SiH₄は使用されていない。これらの有機基を含有するSi化合物ガスはSiと有機基の結合エネルギーがSiとHの結合エネルギーよりも大きく、熱分解がSiH₄よりも起こりにくい。そのため、Cu配線をSiH(CH₃)₃またはSi(CH₃)₄のガス雰囲気中にさらしても、SiH₄雰囲気中にさらした場合と比較して、CuとSiとの反応性が低くなる。したがって、Cu配線にSiC膜やSiCN膜を成膜する場合は、SiN膜を成膜する場合と比較して、成膜のための反応ガスによるCuシリサイド層がCu表面で形成されにくくなる。

【0016】

また、Cu配線の表面にCuシリサイド層が形成されないと、Cu配線とSiC膜またはSiCN膜との密着性が低下して、Cu配線中のCu結晶粒を安定化できず、Cu配線のエレクトロマイグレーション耐性の劣化を招くことになる。さらに、ストレスマイグレーション耐性も劣化し、上層に形成される保護膜の応力などによりCu配線が断線しやすくなる。

【0017】

2. Cuシリサイド層は比抵抗がCuよりも高いため配線抵抗が高くなるという問題がある。また、Cuシリサイド層は銅配線の最表面にのみ形成されるため、さらに上層の配線層との接続孔を開口した際、接続孔のエッチングによりCu

シリサイド層が除去されてしまうため、エレクトロマイグレーションおよびストレスマイグレーションを向上させるためにはCuシリサイド層を十分に厚く形成する必要がある。これによりさらに配線抵抗が上昇してしまうという問題がある。

【0018】

3. Cu配線をSiH₄ガス雰囲気中にさらしてCuシリサイド層を形成する際、Cuの表面が酸化されてCu酸化層が形成されていると、表面のCu酸化層とSiが反応して、Cu、SiおよびOの混合物の異常成長が起こる。この異常成長は、配線抵抗の増大を招くだけでなく、Cu配線上端のCuとバリアメタルの界面付近で多く発生する傾向にあるため、配線間隔が狭い場所では配線同士がショートしてしまう問題が発生する。

【0019】

4. Cuの防食方法として、Cu酸化層とBTA（ベンゾトリアゾール）を反応させることにより、Cu表面にBTA層を形成して酸化の進行を食い止める方法が一般的に知られている。そのため、CMP法によるCu配線形成後、BTAにより防食処理の工程を追加することでCuの酸化を防止できる。しかし、BTA層が形成されたままではCuとSiH₄との反応も抑制されてしまうため、BTA層を除去する工程が必要となる。また、BTA層を除去する工程を導入しても、BTA層除去後にCu配線が大気にさらされると、大気中の酸素とCuとが反応してCu配線の表面にCu酸化層が形成され、Cu酸化層が上述の異常成長の原因となる。

【0020】

5. Cu酸化層を除去する方法としてはNH₃やH₂等の還元性ガスを用いたプラズマ処理が一般的に知られている。しかし、このようなプラズマ処理を用いた場合、Cu表面の酸化層は除去可能であるが、Cuの結晶粒界面に沿って深さ方向に形成された酸化層まで除去することは困難である。また、プラズマ処理の際、Cu配線が加熱されマイグレーションによるヒロックの成長が進むため、Cu配線表面のモロロジーが悪化するという問題が発生する。

【0021】

次に、ダマシン構造を形成する際の問題点について説明するために、VF法によるデュアルダマシン形成方法について簡単に説明する。図35～図37はVF法を用いたデュアルダマシン形成方法による二層配線の製造工程を示す断面図である。

【0022】

最初に第1の銅配線330を形成後、Cu拡散防止膜SiCN膜311、異層間絶縁膜であるSiO₂膜312、エッチングストッパー膜であるSiCN膜313、第2の配線層間絶縁膜であるSiO₂膜317を成膜し、先にビア部のフォトリソ工程を行う(図35(a))。次に、第1の銅配線330上に設けられた拡散防止膜であるSiCN膜311上までエッチングを行い、ビアのフォトリソ314をO₂ドライアッシングおよびウェット剥離などで除去した後(図35(b))、反射防止膜325をビア中に埋め込み、第2溝配線用のフォトリソ工程を行い(図36(c))、第2溝配線をエッチングする。その後、第2溝配線のフォトリソをO₂ドライアッシングおよびウェット剥離などで除去する(図36(d))。続いて、エッチバックにより第1の銅配線330上のSiCN膜311を除去し、下層配線との接続孔を形成する(図36(e))。そして、窒化タンタル(TaN)上にタンタル(Ta)が形成された積層膜(以下、「Ta/TaN膜」と表記する)、およびCu膜321をビア、および第2溝配線のための溝に同時に埋め込み(図37(f))、CMP法によりSiO₂膜317上のTa/TaN膜320およびCu膜321を除去して第2の銅配線332を形成し、SiCN膜322を形成する(図37(g))。

【0023】

6. 上述のVF法の場合、図35(b)に示したように、ビアのエッチング工程で、拡散防止膜であるSiCN膜311上までエッチングを行うが、ビアの開口径や開口率およびエッチング選択比の問題などから、すべてのビアにおいて拡散防止膜であるSiCN膜311でビアのエッチングを止めることは非常に困難である。このため、ビアエッチングの際に、拡散防止膜であるSiCN膜311が抜けてしまったビアでは、ビア底の銅配線が、ビアと第2溝配線のエッチングによるO₂ドライアッシングおよびウェット剥離液に曝されることになり、その

表面が酸化および腐食され、銅の酸化層 331 を形成し、ビアの歩留まり低下、およびビア EM に代表される信頼性の低下を招くことになる。

【0024】

さらに、第2溝配線のフォトリソグラフィー工程で寸法ズレや位置ズレによるやり直しであるリワークを行った場合、リワークのたびに、ビア底の銅配線が O₂ドライアッシング、およびウェット剥離液に曝され、Cu 表面の酸化および腐食が進むことになる。

【0025】

ここで、第2溝配線のフォトリソグラフィー工程のリワーク回数とビアチェーン歩留まりの関係について説明する。

【0026】

図38はビアチェーン歩留まりを評価した結果を示すグラフである。なお、評価に使用したビアチェーンは、ビアの不良率を算出するためのものであり、ビアの抵抗値が測定可能な構成である。測定した抵抗値が所定の規格から外れた場合にビアに欠陥があると判断した。

【0027】

図38に示すように、リワーク回数が増えるとビア内の銅表面の酸化および腐食により、ビアチェーン歩留まりが低下する。このことから、フォトリソグラフィー工程のリワークはビア EM に代表される信頼性の低下を招くことになる。この問題は、VF法に限らず、全てのダマシン配線形成方法においてCu配線上層の絶縁膜をエッチングする際に共通して見られる。

【0028】

7. 通常、銅配線上に成膜した層間絶縁膜のエッチングを行う場合、フォトリソグラフィー工程においては、フォトレジストを露光する際、下層の銅配線の反射による干渉が問題となるため、銅配線からの反射を抑えるための反射防止膜を成膜してからフォトレジストを塗布している。しかし、デュアルダマシン配線を形成する場合、MF法では、反射防止膜を除去する際に下地の絶縁膜がエッチングダメージを受けるため、ビアエッチングのマスク絶縁膜加工や上層溝配線加工のフォトリソグラフィー工程で反射防止膜を使用できない問題がある。また、T

F法では、形成された配線溝の下層の絶縁膜をエッチングする際、反射防止膜が配線溝に埋め込まれていると絶縁膜がエッチングできなくなるため、ビアのフォトリソグラフィ工程で反射防止膜を使用できない問題がある。

【0029】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、Cu配線などの金属配線について、金属配線と金属拡散防止膜との密着性が向上し、金属配線のエレクトロマイグレーション耐性向上により金属配線寿命が長く、かつ配線抵抗の上昇が抑制された半導体装置およびその製造方法を提供することを目的とする。

【0030】

【課題を解決するための手段】

上記目的を達成するための本発明の半導体装置の製造方法は、半導体基板上に形成された絶縁膜の溝部内に、上面が露出する金属配線を形成する工程と、

前記金属配線上面からシリコンを拡散させる工程と、

前記金属配線の露出面に金属拡散防止膜を形成する工程と、
を有するものである。

【0031】

また、本発明の半導体装置の製造方法は、半導体基板上に形成された第1の絶縁膜の溝部内に、上面が露出する第1の金属配線を形成する工程と、

前記第1の金属配線上面からシリコンを拡散させる工程と、

前記第1の金属配線および前記第1の絶縁膜の露出面に第1の金属拡散防止膜を形成する工程と、

前記第1の金属拡散防止膜上に第2の絶縁膜および第3の絶縁膜を順に形成する工程と、

前記第1の金属配線上面が露出するまで、前記第1の金属拡散防止膜、前記第2の絶縁膜および前記第3の絶縁膜を連通する開孔を形成する工程と、

前記第3の絶縁膜に、前記開孔につながる第1の溝部を形成する工程と、

前記開孔および前記第1の溝部に金属を埋め込み、前記第1の溝部内に形成される第2の金属配線と前記第1の金属配線とを接続するためのビアプラグを形成

する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有するものである。

【 0 0 3 2 】

また、本発明の半導体装置の製造方法は、半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜および第 3 の絶縁膜を順に形成する工程と、

前記第 3 の絶縁膜を選択的にエッチングして第 1 の溝部を形成する工程と、

前記第 1 の金属配線の上面が露出するまで、前記第 1 の金属拡散防止膜、前記第 2 の絶縁膜および前記第 3 の絶縁膜を連通し、かつ前記第 1 の溝部につながる開孔を形成する工程と、

前記第 1 の溝部および前記開孔に金属を埋め込み、前記第 1 の溝部内に形成される第 2 の金属配線と前記第 1 の金属配線とを接続するためのビアプラグを形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有するものである。

【 0 0 3 3 】

また、本発明の半導体装置の製造方法は、半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜およびエッチングストッパー膜を

順に形成する工程と、

前記第 2 の絶縁膜が露出するまで前記エッチングストッパー膜を選択的にエッチングして第 1 の開孔を形成する工程と、

前記第 2 の絶縁膜および前記エッチングストッパー膜の露出面上に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜に、前記第 1 の開孔と幅が同等以上で、前記第 1 の開孔につながる第 1 の溝部を形成する工程と、

前記第 1 の開孔を含む位置に、前記第 1 の金属配線が露出するまで、前記第 1 の金属拡散防止膜、前記第 2 の絶縁膜および前記第 3 の絶縁膜を連通する第 2 の開孔を形成する工程と、

前記第 1 の溝部、前記第 1 の開孔および前記第 2 の開孔に金属を埋め込み、前記第 1 の溝部内に形成される第 2 の金属配線と前記第 1 の金属配線とを接続するためのビアプラグを形成する工程と、

前記第 2 の金属配線の上面からシリコンを拡散させる工程と、

前記第 2 の金属配線の露出面に第 2 の金属拡散防止膜を形成する工程と、
を有するものである。

【 0 0 3 4 】

また、本発明の半導体装置の製造方法は、半導体基板上に形成された第 1 の絶縁膜の溝部内に、上面が露出する第 1 の金属配線を形成する工程と、

前記第 1 の金属配線上面からシリコンを拡散させる工程と、

前記第 1 の金属配線および前記第 1 の絶縁膜の露出面に第 1 の金属拡散防止膜を形成する工程と、

前記第 1 の金属拡散防止膜上に第 2 の絶縁膜を形成する工程と、

前記第 1 の金属配線が露出するまで前記第 1 の金属拡散防止膜および前記第 2 の絶縁膜を連通する開孔を形成する工程と、

前記開孔に金属を埋め込んでビアプラグを形成する工程と、

前記ビアプラグおよび前記第 2 の絶縁膜の露出面を覆う第 3 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜が露出するまで前記第 3 の絶縁膜を選択的にエッチングして

、前記ビアプラグとつながる第1の溝部を形成する工程と、
前記第1の溝部に金属を埋め込んで第2の金属配線を形成する工程と、
前記第2の金属配線の上面からシリコンを拡散させる工程と、
前記第2の金属配線の露出面に第2の金属拡散防止膜を形成する工程と、
を有するものである。

【0035】

この場合、前記ビアプラグにシリコンを拡散させることとしてもよい。

【0036】

また、本発明の半導体装置の製造方法は、半導体基板上に形成された第1の絶縁膜の溝部内に設けられた第1の金属配線と、前記第1の金属配線を覆う第2の絶縁膜上に設けられた第2の金属配線と、前記第1の金属配線と前記第2の金属配線とを接続するためのビアプラグとを有する半導体装置の製造方法であって、

半導体基板上に形成された第1の絶縁膜の溝部内に、上面が露出する第1の金属配線を形成する工程と、

前記第1の金属配線および前記第1の絶縁膜の露出面に第2の絶縁膜を形成する工程と、

前記第1の金属配線が露出するまで前記第2の絶縁膜を選択的にエッチングして開孔を形成する工程と、

前記開孔に金属を埋め込んで前記ビアプラグを形成する工程と、

前記ビアプラグ上面からシリコンを拡散させる工程と、

前記ビアプラグの露出面を覆う前記第2の金属配線を形成する工程と、
を有するものである。

【0037】

また、上記本発明の半導体装置の製造方法において、前記金属配線の配線全体にシリコンを拡散させることとしてもよく、前記金属配線はシリコン濃度が上面で最も高いこととしてもよく、前記金属配線はシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0038】

また、上記本発明の半導体装置の製造方法において、前記金属配線は、金属シ

リサイド層を含有しないシリコン含有金属配線であることとしてもよい。

【0039】

また、上記本発明の半導体装置の製造方法において、前記第1の金属配線の配線全体にシリコンを拡散させることとしてもよく、前記第1の金属配線はシリコン濃度が上面で最も高いこととしてもよく、前記第1の金属配線はシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0040】

また、上記本発明の半導体装置の製造方法において、前記第1の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線であることとしてもよい。

【0041】

また、上記本発明の半導体装置の製造方法において、前記第2の金属配線の配線全体にシリコンを拡散させることとしてもよく、前記第2の金属配線はシリコン濃度が上面で最も高いこととしてもよく、前記第2の金属配線はシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0042】

また、上記本発明の半導体装置の製造方法において、前記第2の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線であることとしてもよい。

【0043】

また、上記本発明の半導体装置の製造方法において、前記ビアプラグはシリコン濃度が上面で最も高いこととしてもよく、前記ビアプラグはシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0044】

また、上記本発明の半導体装置の製造方法において、前記ビアプラグは、金属シリサイド層を含有しないシリコン含有金属ビアプラグであることとしてもよい。

【0045】

また、上記本発明の半導体装置の製造方法において、前記絶縁膜は、S i O₂、S i O C、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記絶縁膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサン

のうち少なくとも一つを含んでいることとしてもよい。

【0046】

また、上記本発明の半導体装置の製造方法において、前記絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有することとしてもよい。

【0047】

また、上記本発明の半導体装置の製造方法において、前記第1の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第1の絶縁膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0048】

また、上記本発明の半導体装置の製造方法において、前記第1の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有することとしてもよい。

【0049】

また、上記本発明の半導体装置の製造方法において、前記第3の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第3の絶縁膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0050】

また、上記本発明の半導体装置の製造方法において、前記第3の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポーラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有することとしてもよい。

【0051】

また、上記本発明の半導体装置の製造方法において、前記金属拡散防止膜は、SiCN膜、SiC膜、SiOC膜および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第1の金属拡散防止膜は、SiCN膜、SiC膜、SiOC膜および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第2の金属拡散防止膜は、SiCN膜、SiC膜、SiOC膜および有機膜のうち少なくとも一つを含んでいることとしてもよい。

【0052】

また、上記本発明の半導体装置の製造方法において、前記第2の絶縁膜は、SiO₂、SiOC、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第2の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0053】

また、上記本発明の半導体装置の製造方法において、前記第2の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜はSiO₂を有することとしてもよい。

【0054】

また、上記本発明の半導体装置の製造方法において、前記梯子型水素化シロキサンはL-O_xであることとしてもよく、前記梯子型水素化シロキサンは膜密度が1.50 g/cm³以上1.58 g/cm³以下であることとしてもよく、前記梯子型水素化シロキサンは633 nm波長での膜の屈折率が1.38以上1.40以下であることとしてもよい。

【0055】

また、上記本発明の半導体装置の製造方法において、前記第2の絶縁膜はエッチングストッパー膜を有することとしてもよい。この場合、前記エッチングストッパー膜は、SiCN膜、SiC膜、SiOC膜および有機膜のうち少なくとも一つを含んでいることとしてもよい。

【 0 0 5 6 】

また、上記本発明の半導体装置の製造方法において、前記絶縁膜の溝部に前記金属配線を形成する工程の後、前記金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記金属配線を酸素に曝することなく、前記金属配線上面からシリコンを拡散させることとしてもよい。この場合、前記シリコンを拡散させる工程の後、前記金属配線を酸素に曝することなく、前記金属拡散防止膜を形成することとしてもよい。

【 0 0 5 7 】

また、上記本発明の半導体装置の製造方法において、前記第 1 の絶縁膜の溝部に前記第 1 の金属配線を形成する工程の後、前記第 1 の金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記第 1 の金属配線を酸素に曝することなく、前記第 1 の金属配線上面からシリコンを拡散させることとしてもよい。この場合、前記シリコンを拡散させる工程の後、前記第 1 の金属配線を酸素に曝することなく、前記第 1 の金属拡散防止膜を形成することとしてもよい。

【 0 0 5 8 】

また、上記本発明の半導体装置の製造方法において、前記第 1 の溝部に前記第 2 の金属配線を形成する工程の後、前記第 2 の金属配線上面に酸化防止層を形成し、該酸化防止層が酸素に曝された後、密閉された処理室内で、前記酸化防止層を加熱することにより除去し、前記第 2 の金属配線を酸素に曝することなく、前記第 2 の金属配線上面からシリコンを拡散させることとしてもよい。この場合、前記シリコンを拡散させる工程の後、前記第 2 の金属配線を酸素に曝することなく、前記第 2 の金属拡散防止膜を形成することとしてもよい。

【 0 0 5 9 】

また、上記本発明の半導体装置の製造方法において、前記酸化防止層は、ベンゾトリアゾールおよびベンゾトリアゾール誘導体のうち少なくとも一つを含む膜であることとしてもよい。

【 0 0 6 0 】

また、上記本発明の半導体装置の製造方法において、前記酸化防止層を除去する工程の温度が250℃以上400℃以下であることとしてもよく、前記シリコンを拡散させる工程の温度が250℃以上400℃以下であることとしてもよい。この場合、前記酸化防止層を除去する工程と前記シリコンを拡散させる工程の温度が等しいこととしてもよい。

【0061】

また、上記本発明の半導体装置の製造方法において、前記シリコンを拡散させる工程で、 SiH_4 、 Si_2H_6 および SiH_2Cl_2 のガスのうち少なくとも一つを用いることとしてもよい。

【0062】

また、上記本発明の半導体装置の製造方法において、前記金属配線が銅および銅の合金のうち少なくとも一つを含有することとしてもよい。この場合、前記金属配線が水素を含有することとしてもよい。さらに、前記金属配線が炭素を含有することとしてもよい。

【0063】

また、上記本発明の半導体装置の製造方法において、前記金属配線がバリアメタルを有することとしてもよい。

【0064】

また、上記本発明の半導体装置の製造方法において、前記第1の金属配線が銅および銅の合金のうち少なくとも一つを含有することとしてもよい。この場合、前記第1の金属配線が水素を含有することとしてもよい。さらに、前記第1の金属配線が炭素を含有することとしてもよい。

【0065】

また、上記本発明の半導体装置の製造方法において、前記第1の金属配線がバリアメタルを有することとしてもよい。

【0066】

また、上記本発明の半導体装置の製造方法において、前記第2の金属配線および前記ビアプラグが銅および銅の合金のうち少なくとも一つを含有することとしてもよい。この場合、前記第2の金属配線および前記ビアプラグが水素を含有す

ることとしてもよい。さらに、前記第2の金属配線および前記ビアプラグが炭素を含有することとしてもよい。

【0067】

また、上記本発明の半導体装置の製造方法において、前記第2の金属配線および前記ビアプラグがバリアメタルを有することとしてもよい。

【0068】

さらに、上記本発明の半導体装置の製造方法において、前記銅の合金は、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、およびFeのうち少なくとも一つを含有することとしてもよく、前記バリアメタルは、Ti、TiN、TiSiN、Ta、Ta₂N₅、およびTaSiNのうち少なくとも一つを有することとしてもよい。

【0069】

上記目的を達成するための本発明の半導体装置は、半導体基板上に形成された第1の絶縁膜中の溝部内に設けられ、シリコンが拡散された第1の金属配線と、前記第1の金属配線の露出面を覆う第1の金属拡散防止膜と、を有する構成である。

【0070】

また、上記本発明の半導体装置において、前記第1の金属配線の上面に接続され、前記第1の金属拡散防止膜、および前記第1の金属拡散防止膜上に形成された第2の絶縁膜の中に設けられたビアプラグと、

前記ビアプラグと接続され、前記第2の絶縁膜上に形成された第3の絶縁膜中に設けられ、シリコンが拡散された第2の金属配線と、

前記第2の金属配線の露出面を覆う第2の金属拡散防止膜と、を有することとしてもよい。

【0071】

この場合、前記ビアプラグと前記第2の金属配線との間に、該ビアプラグと該第2の金属配線とを分離するバリアメタルを有することとしてもよく、前記ビアプラグにシリコンが拡散されていることとしてもよい。

【0072】

また、本発明の半導体装置は、半導体基板上に形成された第1の絶縁膜中の溝部に設けられた第1の金属配線と、

前記第1の金属配線の上面に接続され、前記第1の絶縁膜上に形成された第2の絶縁膜に設けられ、シリコンが拡散されたビアプラグと、

前記ビアプラグと接続され、前記第2の絶縁膜上に形成された第3の絶縁膜中に設けられた第2の金属配線と、
を有する構成である。

【0073】

この場合、前記ビアプラグと前記第2の金属配線とが一体であることとしてもよい。

【0074】

また、上記本発明の半導体装置において、シリコンが前記ビアプラグ全体に拡散されていることとしてもよく、前記ビアプラグはシリコン濃度が上面で最も高いこととしてもよく、前記ビアプラグはシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0075】

また、上記本発明の半導体装置において、前記ビアプラグは、金属シリサイド層を含有しないシリコン含有金属ビアプラグであることとしてもよい。

【0076】

また、上記本発明の半導体装置において、シリコンが前記第1の金属配線の配線全体に拡散されていることとしてもよく、前記第1の金属配線はシリコン濃度が上面で最も高いこととしてもよく、前記第1の金属配線はシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0077】

また、上記本発明の半導体装置において、前記第1の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線であることとしてもよい。

【0078】

また、上記本発明の半導体装置において、シリコンが前記第2の金属配線の配線全体に拡散されていることとしてもよく、前記第2の金属配線はシリコン濃度

が上面で最も高いこととしてもよく、前記第2の金属配線はシリコン濃度が8 a t o m s %以下であることとしてもよい。

【0079】

また、上記本発明の半導体装置において、前記第2の金属配線は、金属シリサイド層を含有しないシリコン含有金属配線であることとしてもよい。

【0080】

また、上記本発明の半導体装置において、前記第1の金属拡散防止膜は、S i C N膜、S i C膜、S i O C膜および有機膜のうち少なくとも一つを有することとしてもよく、前記第2の金属拡散防止膜は、S i C N膜、S i C膜、S i O C膜および有機膜のうち少なくとも一つを有することとしてもよい。

【0081】

また、上記本発明の半導体装置において、前記第1の絶縁膜は、S i O₂、S i O C、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第1の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0082】

また、上記本発明の半導体装置において、前記第1の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜はS i O₂を有することとしてもよい。

【0083】

また、上記本発明の半導体装置において、前記第2の絶縁膜は、S i O₂、S i O C、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第2の絶縁膜は、梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0084】

また、上記本発明の半導体装置において、前記第2の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有することとしてもよい。

【0085】

また、上記本発明の半導体装置において、前記第3の絶縁膜は、 SiO_2 、 SiOC 、および有機膜のうち少なくとも一つを含んでいることとしてもよく、前記第3の絶縁膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを含んでいることとしてもよい。

【0086】

また、上記本発明の半導体装置において、前記第3の絶縁膜は、下層膜、および該下層膜上に形成される上層膜からなる積層膜を有し、

前記下層膜は梯子型水素化シロキサンおよびポラス梯子型水素化シロキサンのうち少なくとも一つを有し、

前記上層膜は SiO_2 を有することとしてもよい。

【0087】

また、上記本発明の半導体装置において、前記梯子型水素化シロキサンは L-Ox であることとしてもよく、前記梯子型水素化シロキサンは膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下であることとしてもよく、前記梯子型水素化シロキサンは 633 nm 波長での膜の屈折率が 1.38 以上 1.40 以下であることとしてもよい。

【0088】

また、上記本発明の半導体装置において、前記第1の金属配線が銅および銅の合金のうち少なくとも一つを含有することとしてもよい。この場合、前記第1の金属配線が水素を含有することとしてもよい。さらに、前記第1の金属配線が炭素を含有することとしてもよい。

【0089】

また、上記本発明の半導体装置において、前記第1の金属配線がバリアメタルを有することとしてもよい。

【0090】

また、上記本発明の半導体装置において、前記第2の金属配線および前記ビアプラグが銅および銅の合金のうち少なくとも一つを含有することとしてもよい。この場合、前記第2の金属配線および前記ビアプラグが水素を含有することとしてもよい。さらに、前記第2の金属配線および前記ビアプラグが炭素を含有することとしてもよい。

【0091】

また、上記本発明の半導体装置において、前記第2の金属配線および前記ビアプラグがバリアメタルを有することとしてもよい。

【0092】

さらに、上記本発明の半導体装置において、前記銅の合金は、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、およびFeのうち少なくとも一つを含有することとしてもよく、前記バリアメタルは、Ti、TiN、TiSiN、Ta、Ta₂N₅、およびTaSiNのうち少なくとも一つを有することとしてもよい。

【0093】

(作用)

上記のように構成される本発明では、金属配線にシリコンを拡散させているため、シリコンを拡散させない場合に比べて、金属拡散防止膜との密着性がよくなる。また、シリコンを拡散させるため、製造工程中におけるマイグレーションが抑制される。また、配線のエレクトロマイグレーションおよびストレスマイグレーション耐性が向上する。さらに、シリコンが拡散された金属配線は酸化耐性が高いため、エッチング時における配線表面の劣化が抑制される。

【0094】

また、本発明では、ビアプラグ内にもシリコンを拡散させているため、製造工程中におけるマイグレーション抑制効果がさらに向上する。また、配線のエレクトロマイグレーションおよびストレスマイグレーションの耐性がさらに向上する。

【0095】

また、本発明では、金属配線上面でシリコン濃度が高いため、上層となる金属

拡散防止膜との密着性がより向上する。

【0096】

また、本発明では、金属配線中のシリコン濃度が 8 a t o m s % 以下であるため、シリサイド層より配線抵抗の大きくなるのが抑制される。

【0097】

また、本発明では、金属配線表面に形成された酸化防止層を除去してから金属拡散防止膜を金属配線上に形成するまで金属配線を酸素雰囲気には曝すことがないため、配線表面だけでなく金属の結晶粒界面に沿って発生する金属の酸化が抑制される。そのため、配線表面だけでなく結晶粒に沿った深さ方向に対してもシリコンを拡散でき、配線底部までシリコンを含有したシリコン含有金属配線を形成できる。

【0098】

また、本発明では、酸化防止層の除去のための加熱処理を 250℃ から 400℃ の温度範囲で行っているため、プラズマ処理の場合のプラズマにより加熱された配線表面のみがシリコンと反応してシリサイド層が形成されることを防止できる。

【0099】

また、本発明では、シリコンの拡散処理を 250℃ から 400℃ の温度範囲で行っているため、金属配線表面にシリサイド層が形成されることなく金属配線にシリコンが拡散される。

【0100】

また、本発明では、酸化防止層を除去する工程とシリコンを拡散させる工程の温度が等しいため、温度条件が異なる場合に必要な、温度安定までの待機時間を低減でき、酸化層除去からシリコン拡散までのスループットが向上する。

【0101】

また、本発明では、同じ層の配線同士を絶縁するための絶縁膜に、梯子型水素化シロキサンまたはポーラス梯子型水素化シロキサンを含んでいるので、配線間容量を酸化膜より低減できる。また、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、または、633 nm 波長での膜の屈折率が 1.38 以上 1.4

0 以下であると誘電率がさらに低くなる。

【0102】

また、本発明では、金属拡散防止膜に SiCN 膜、SiC 膜、SiOC 膜および有機膜のうち少なくとも一つ用いているため、シリコンが拡散された金属配線と金属拡散防止膜の密着性がよい。

【0103】

また、本発明では、エッチングストッパー膜を用いているため、オーバーエッチングを防ぎ、エッチング処理毎に形成される溝の形状が一定になる。

【0104】

また、本発明では、異なる配線層を絶縁するための絶縁膜に、SiO₂、SiOC および有機膜のうち少なくとも一つ用いているため、窒化膜に比べて配線間容量を低減できる。

【0105】

また、本発明では、エッチングストッパー膜に、SiCN 膜、SiC 膜、SiOC 膜および有機膜のうち少なくとも一つ用いているため、窒化膜に比べて配線間容量を低減できる。

【0106】

また、本発明では、ベンゾトリアゾールまたはベンゾトリアゾール誘導体を含む膜を用いているため、金属の腐食防止効果が高い。

【0107】

また、本発明では、金属配線が銅および銅の合金のうち少なくとも一つを含有する配線であるため、配線抵抗が小さくなり、またエレクトロマイグレーション耐性が向上する。

【0108】

さらに、本発明では、金属配線が水素を含有しているため、金属配線の酸化を抑制し、金属シリサイドの析出を防止する。

【0109】

【発明の実施の形態】

(第1実施例)

本発明の第 1 実施例の半導体装置の構成について説明する。

【0110】

図 1 は本発明の半導体装置の構造を示す断面図である。

【0111】

図 1 に示すように、本実施例の半導体装置は、Cu 配線にシリコンが拡散されたシリコン含有銅 (Cu) 配線 8 が半導体基板 (不図示) 上に成膜された下地絶縁膜 1 上の SiO₂ 絶縁膜 2 に形成された溝部に設けられた構成である。シリコン含有 Cu 配線 8 の側面と底面は Ta/TaN 膜 5 に覆われており、シリコン含有 Cu 配線 8 の上面には、Cu 拡散防止膜である SiCN 膜 9、および配線層間の絶縁性確保のための SiO₂ 層間絶縁膜 10 が順に形成されている。図 1 に示すシリコン含有 Cu 配線 8 の他、不図示のトランジスタ、ダイオード、抵抗、およびキャパシタなどから半導体装置が構成される。

【0112】

次に、第 1 実施例の半導体装置の製造過程において、シリコン含有 Cu 配線 8 および SiCN 膜 9 などの膜形成に用いられる平行平板型プラズマ CVD 装置について説明する。なお、ここでは、半導体基板上に膜形成する場合で説明する。

【0113】

図 2 は第 1 実施例に用いられる平行平板型プラズマ CVD 装置の構成の一実施例を模式的に示す断面図である。

【0114】

上記プラズマ CVD 装置は、半導体基板 100 上に成膜処理を行うための処理室 30 と、処理室 30 内に載置された半導体基板 100 の温度を一定に保つためのヒータ 32 と、半導体基板 100 を処理室 30 に搬入し、処理室 30 から搬出する搬送手段 (不図示) と、処理室 30 内の圧力を一定に保つための排気手段 34 と、処理室 30 に複数種類の反応ガスを供給するためのガス供給部 36 と、処理室 30 内に高周波を発生させるための高周波発生機 42 と、ヒータ 32、搬送手段 (不図示)、排気手段 34、ガス供給部 36 および高周波発生機 42 を制御するコンピュータ 38 とを備える構成である。

【0115】

ガス供給部 36 は、数種類の反応ガスを供給するための複数のガス配管 35、およびガス流量制御手段 37 を介して処理室 30 に接続されている。

【0116】

処理室 30 には上部平板電極 40 と下部平板電極 41 が対向して設けられ、上部平板電極 40 および下部平板電極 41 は上記高周波発生機 42 に接続されている。また、下部平板電極 41 には上記ヒータ 32 が内蔵されている。高周波発生機 42 は、所定の周波数および高周波電力（RF パワー）の高周波を上部平板電極 40 と下部平板電極 41 の間に発生させる。

【0117】

上記構成のプラズマ CVD 装置により、例えば、SiCN 膜 9 を形成する場合、下部平板電極 41 上に載置された半導体基板 100 をヒータ 32 により所望の温度にし、反応ガスの種類および流量を調節して処理室 30 内を所望のガス雰囲気です望の処理圧力にし、所望の高周波の RF パワーを印加することで処理室 30 内に反応ガスのプラズマを発生させて、半導体基板 100 上に SiCN 膜 9 を形成する。

【0118】

なお、上記プラズマ CVD 装置において、シリコン含有 Cu 配線 8 形成のためのシリコン拡散、および SiCN 膜 9 などの膜形成だけでなく、上記ガス雰囲気、処理圧力、処理温度、および RF パワーなどの処理条件を調節することにより、半導体基板 100 上に形成された膜を除去することも可能となる。半導体基板 100 上に形成された膜の除去を可能にするため、上記プラズマ CVD 装置は半導体基板 100 を一枚ずつ処理する枚様式タイプである。

【0119】

次に、上記プラズマ CVD 装置を用いた、第 1 実施例の半導体装置の製造方法について説明する。

【0120】

図 3 は第 1 実施例の半導体装置の製造工程手順を示す断面図である。

【0121】

トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不

図示) 上の下地絶縁膜 1 上にプラズマ CVD 法により膜厚 500 nm の SiO_2 絶縁膜 2 を成膜する。成膜した SiO_2 絶縁膜 2 上にフォトレジスト 3 を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト 3 に溝配線用レジストパターン 4 を形成する (図 3 (a))。

【0122】

次に、ドライエッチング技術により、溝配線用レジストパターン 4 から SiO_2 絶縁膜 2 をエッチングして、 SiO_2 絶縁膜 2 に溝配線用パターンを形成する。その後、酸素プラズマ処理を行う O_2 ドライアッシングと、レジスト残渣除去のためのウェット剥離とによりフォトレジスト 3 を除去する。

【0123】

次に、図 3 (b) に示すように、露出した下地絶縁膜 1、および SiO_2 絶縁膜 2 上に、バリアメタルとして Ta/TaN 膜 5 を膜厚 30 nm で成膜し、成膜した Ta/TaN 膜 5 上に、電解メッキ法の陰極側下地層となる Cu 層を膜厚 100 nm でスパッタリング法により成膜する。その後、電解メッキ法により Cu 層 6 を溝配線用パターンに埋め込んでから、結晶化のために 400 °C の熱処理を行う。

【0124】

続いて、CMP 法により SiO_2 絶縁膜 2 上の Cu 層 6 と Ta/TaN 膜 5 を除去して、Cu 配線 7 を形成する。CMP 法処理の後、Cu 配線 7 上面に付着した砥粒を洗浄処理により除去すると、洗浄処理に用いられた水により Cu 配線 7 の上面に Cu 酸化層が形成される。その後、Cu 酸化層露出面を BTA の 1 % 希釈溶液にさらすと、BTA と Cu 酸化層が反応して酸化防止層となる BTA 層 11 が形成される (図 3 (c))。

【0125】

なお、BTA 層 11 の下層に未反応の Cu 酸化層が残る場合もあるが、BTA 層 11 を形成する前に、シュウ酸等により Cu 酸化層を除去することにより Cu 酸化層を数 nm 以下に制御できる。本実施例では、図に示すように、Cu 配線 7 上に BTA 層 11 が形成された場合で説明する。

【0126】

次に、Cu配線7上のBTA層11を熱分解により除去するため、上記プラズマCVD装置で、処理温度250～400℃、N₂ガス流量100～5000 sccm、処理圧力20 Torr以下の条件で2分間、熱処理を行う。

【0127】

次に、Cu酸化層が除去されたCu配線7の露出面を酸素にさらすことなく、上記プラズマCVD装置内において、SiH₄ガス流量10～500 sccm、N₂ガス流量100～5000 sccm、処理圧力20 Torr以下の条件でCu配線7に120秒間熱処理を行い、シリコン含有Cu配線8を形成する。ここで、シリコン含有Cu配線8を形成する際、SiH₄の熱処理条件によってはSiO₂絶縁膜2上にSiが析出して、析出したSiがCu配線7間の短絡を起こす可能性がある。そのため、シリコン含有Cu配線8形成後、シリコン含有Cu配線8の露出面を酸素にさらすことなく、上記プラズマCVD装置内において、NH₃ガス流量50～1000 sccm、N₂ガス流量100～5000 sccm、処理圧力20 Torr以下、RFパワー50～500 Wの条件で3秒間プラズマ処理を行い、シリコン含有Cu配線8およびSiO₂絶縁膜2の表面に析出したSiを窒化する。

【0128】

次に、上記窒化処理の後、シリコン含有Cu配線8を酸素にさらすことなく、上記プラズマCVD装置内で、SiH(CH₃)₃、NH₃、およびHeの反応ガスを用いたプラズマCVD法により、Cu拡散防止膜としてSiCN膜9を膜厚50 nmで、表面を窒化したシリコン含有Cu配線8およびSiO₂絶縁膜2の上に成膜する。

【0129】

その後、上記プラズマCVD装置により、層間絶縁膜としてSiO₂層間絶縁膜10を膜厚500 nmでSiCN膜9上に成膜して、シリコン含有Cu配線8上の層間絶縁膜を形成する。(図3(d))。

【0130】

なお、上記シリコン含有Cu配線8の形成については、原料ガスとしてSiH₄を用いたが、Si₂H₆やSiH₂Cl₂といった無機シランガスであればよく、

かつ O_2 を含まないガス雰囲気中で、処理温度 2 5 0℃以上 4 0 0℃以下、処理圧力 2 0 T o r r 以下にて行えばよい。

【0 1 3 1】

また、C u 配線 7 にシリコンが拡散されているため、上層の C u 拡散防止膜との密着性がよくなる。なお、C u 拡散防止膜との密着性をより向上させるために、シリコン含有 C u 配線 8 のシリコン濃度が配線上面で最も高くなるようにすることが望ましい。また、配線抵抗が大きくなるのを抑制するために、シリコン含有 C u 配線 8 中のシリコン濃度を 8 a t o m s % 以下にすることが望ましい。

【0 1 3 2】

ここで、C u シリサイドとシリコン含有 C u 配線の違いについて説明する。

【0 1 3 3】

図 4 はシリコンと C u の状態を示す相図である。図 4 に示す、C u と S i との相図から C u と S i の比率が 9 2 : 8 以下の S i 含有量では C u シリサイドが形成されず、シリコン含有 C u 層が形成される。このシリコン含有 C u 層による配線がシリコン含有 C u 配線となる。

【0 1 3 4】

次に、C u シリサイドの形成方法とシリコン含有 C u 膜の形成方法の違いについて説明する。

【0 1 3 5】

C u シリサイドの形成方法は上記特開 2 0 0 0 - 1 5 0 5 1 7 号公報に、以下のように開示されている。この公報には、半導体集積回路装置の製造方法として、(a) 半導体基板上に形成された層間絶縁膜に溝パターンを形成する工程と、(b) 前記層間絶縁膜の上層にバリア層および C u 膜を順次形成する工程と、(c) 前記 C u 膜の表面および前記バリア層の露出した表面を化学的機械研磨法によって平坦化し、前記溝パターンに前記 C u 膜および前記バリア層を埋め込む工程と、(d) 0 . 1 T o r r 以下の減圧状態においてシラン系ガス雰囲気中で半導体基板に熱処理を施し、前記 C u 膜の表面をシリサイド化する工程とを有することが記載されている。この方法により C u シリサイドを容易に形成できる。

【0 1 3 6】

一方、上記Cuシリサイドに対してCu中におけるシリコン濃度が8 atoms %以下となるシリコン含有Cu膜を、上記公報に開示された方法で形成することは困難である。上述したように、本発明におけるシリコン含有Cu膜形成方法は、特開2000-150517号公報の上記(a)～(c)の工程の後、(d)' Cu膜の表面に酸化防止層を形成する工程と、(e)' 熱処理を行い酸化防止層を除去する工程と、(f)' 酸化雰囲気には曝さずに減圧状態でシラン系ガス雰囲気中で半導体基板に熱処理を施し、上記Cu膜をシリコン含有Cu膜にする工程とを有することを特徴とする。以下に、上記(e)' と(f)' の工程の処理条件について詳細に説明する。なお、シラン系ガスとしてSiH₄を用い、SiH₄ガスによる処理をSiH₄処理と称する。

【0137】

図5に酸化防止層除去とSiH₄処理の処理条件についての実験の結果を示す。図5(a)はCuシリサイド析出の熱処理温度依存性を示すグラフであり、図5(b)はBTA脱離の熱処理温度依存性を示すグラフであり、図5(c)はCu膜へのシリコン拡散の熱処理温度依存性を示す表である。

【0138】

図5(a)のグラフは、Cu膜の酸化防止層としてCu膜上にBTAを形成した場合(●印)と、BTAを形成しない場合(□印)について、CVD装置の処理室となるチャンバー内で酸化防止層を除去するための熱処理を行い、さらにSiH₄処理を行った後の微細Cu配線部のCuシリサイド析出数を示している。実験ではSiH₄処理に複数の温度条件を設けた。温度条件は、温度200℃から450℃の範囲について、BTAを形成したサンプルでは11条件であり、BTAを形成しなかったサンプルでは4条件であった。Cuシリサイド析出数の計測は、面積約500 μm²の観察エリアを光学顕微鏡で行った。グラフの横軸はSiH₄処理の温度であり、縦軸はCuシリサイド析出数である。

【0139】

図5(a)に示すように、BTAを形成した場合、SiH₄処理の温度が400℃以下でCuシリサイドの析出は起こらず、シリコン含有Cu膜を形成できた。そして、425℃以上ではCu配線上面で部分的にCuシリサイド析出物が発

生し、450℃ではCuシリサイド析出物が2000個以上発生してしまった。したがって、BTAを用いる場合には、シラン系ガスにCu膜を曝すときの温度は400℃以下が好ましい。

【0140】

一方、BTAを形成しなかった場合、SiH₄処理の温度が250℃でもCuシリサイドが析出してしまった。そのため、酸化防止層をCu膜の上に形成しなければ、SiH₄処理の温度が250℃以上でCuシリサイドが形成されることがわかった。

【0141】

図5 (b) は、Cu膜上にBTAが形成されたサンプルに熱処理をかけながら、API-MS法によりBTAに相当する質量数119の昇温脱離スペクトルを測定した結果を示すグラフである。グラフの横軸は処理温度であり、縦軸は脱離強度を示す。

【0142】

図5 (b) に示すように、処理温度を上げていくと、BTAの脱離は180℃から始まり、250℃で脱離強度が最大となるピークを持ち、270℃以上でそのピークが下がり始める。この結果からBTAの脱離が始まる180℃以上のSiH₄処理でCu膜中にシリコンが拡散するか否かを確認したので、以下に説明する。

【0143】

図5 (c) はCu膜中のシリコン含有の有無を示す表である。図5 (c) に示すように、図5 (b) に示したAPI-MS (Atmospheric Pressure Ion-Mass Spectroscopy) 法による測定結果にはほぼ対応して、処理温度200℃と225℃ではCu膜中でのシリコンの含有を確認できなかったが、250℃以上でCu膜中のシリコンの含有を確認できた。

【0144】

上述の実験結果から、温度250℃以上の熱処理であればBTAを十分に脱離させることができ、温度250℃以上400℃以下のSiH₄処理であればCu

シリサイドが析出せずに、シリコンをC u膜中に拡散させることが可能である。

【0 1 4 5】

したがって、酸化防止層にB T Aを用いた場合、好ましくは、特開 2 0 0 0 - 1 5 0 5 1 7号公報の上記 (a) ~ (c) の工程の後、(d)' C u膜の表面にB T A層を形成する工程と、(e)' C V D装置のチャンバー内で温度 2 5 0℃以上 4 0 0℃以下で熱処理を行って酸化防止層を除去する工程と、(f)' 酸化防止層除去工程と同じ温度で酸化雰囲気曝露せずに減圧状態でシラン系ガス雰囲気中で半導体基板に熱処理を施すことにより、C u膜をシリコン含有C u膜にする工程とを有する。そして、(e)' と (f)' の工程の温度を等しくすれば、温度条件が異なる場合に必要な、温度安定までの待機時間を低減でき、酸化層除去からシリコン拡散までのスループットが向上する。

【0 1 4 6】

なお、ここではデータとして示さなかったがB T Aを用いた場合、S i H₄処理前に還元性ガスを用いたプラズマ処理を行うと、プラズマにより加熱された配線表面のみがシリコンと反応して、よりC uシリサイド異常析出が形成されてしまい好ましくない。また、S i H₄ガス処理後に還元性ガスを用いたプラズマ処理をすることはC uシリサイド析出とは関係がないので問題はない。

【0 1 4 7】

図 3 に示した製造工程手順において、シリコン含有C u配線 8 形成後、シリコン含有C u配線 8 およびS i O₂絶縁膜 2 の表面に析出したS i をプラズマ処理により窒化しているが、H e ガスまたはA r ガスを用いたプラズマ処理により表面をエッチングしてS i の析出を除去するS i エッチングを行ってもよく、S i の析出がなければ上記窒化処理および上記S i エッチング処理を省略してもよい。

【0 1 4 8】

また、C u拡散防止膜としてS i C N膜 9 を用いたが、S i C膜、または有機膜でも良い。有機膜は、例えば、プラズマC V D法により形成可能なテフロン系有機高分子膜およびアモルファスカーボン膜である。

【0 1 4 9】

また、シリコン含有Cu配線8に酸化防止効果もあるため、Cu拡散防止膜として、SiC膜およびSiCN膜の代わりにSiOC膜などのOを含む絶縁膜を用いても良い。

【0150】

また、Cu配線7表面のBTA層11を除去するための熱処理をN₂ガス雰囲気で行っているが、反応ガスにNH₃、H₂、He、ArおよびSiH₄のうち少なくとも一つのガスを含み、かつO₂ガスを含まない雰囲気による熱処理であればよい。さらに、いずれのガスも流さずに真空下における熱処理でもよい。この熱処理の際、温度250℃以上400℃以下、圧力20 Torr以下であれば、BTA層11を除去可能である。

【0151】

本実施例では、Cu配線7上のCu酸化層露出面に酸化防止層を形成した後、密閉された処理室で、酸化防止層の除去からCu拡散防止膜形成までの処理を行っており、Cu配線およびシリコン含有Cu配線を酸素にさらすことがないため、Cu配線およびシリコン含有Cu配線の上面に酸化層が形成されることがない。そのため、シリコン含有Cu配線8とCu拡散防止膜の密着性がよくなり、シリコン含有Cu配線8中のCu粒子が移動するのを防ぎ、エレクトロマイグレーション耐性が向上する。また、上層に形成される保護膜などの応力によるシリコン含有Cu配線8の断線を防ぎ、ストレスマイグレーションの耐性が向上する。したがって、配線寿命の長い配線を形成できる。

【0152】

なお、上記Cu層6は水素含有のCu層である方が好ましい。それは、Cu層へのCMP処理であるCu-CMP処理の後に、バリア絶縁膜となるSiCN膜9の成膜前のSiH₄ガスの曝露中に水素がCu配線中から脱離することが望ましいからである。その理由について、詳細に説明する。

【0153】

SiCN膜9の成膜装置であるプラズマCVD装置内に微量の残留酸素があると、Cu配線中のグレイン界面で酸化が進み、Cu-CMP処理後にSiH₄ガスに曝露する際、Cu配線表面に不均一に形成された金属酸化物がCuシリサイ

ドの析出物を発生させやすくしてしまう。これに対して、Cu層が水素を含有していれば、Cu-CMP処理後のSiCN膜成膜前のBTA除去やSiH₄処理で、プラズマCVD装置中に微量の残留酸素があっても、Cu配線から水素が脱離するためCu配線中のグレイン界面の酸化が進行せず、Cu配線表面状態が均一になり、Cuシリサイドの析出物が発生せず、シリコン含有Cu配線が形成される。このことは、水素を含有するCu層に限らず、水素含有Cu合金層であっても同様である。Cu層中における水素の含有については、TDS（昇温脱離ガス法）により質量数2のガスの脱離として確認できた。また、SIMS（二次イオン質量分析）によりCu層中の水素を分析すると、バックグラウンドレベルよりも2桁以上大きいカウント数を確認した。

【0154】

また、厳密に言えば、Cu層6の埋設性向上のため、Cu層6形成の際に有機成分を添加（100ppm以下）したCuめっき液を使用している。そのため、Cu層6中には微量の炭素が含有されており、上記Cu層6は炭素含有Cu層であってもよい。

【0155】

（第2実施例）

本発明の第2実施例は、VF法によるデュアルダマシン構造の二層配線にシリコン含有銅配線を適用し、その配線層間絶縁膜に低誘電率層間絶縁膜を適用したことを特徴とする。

【0156】

第2実施例の構成について説明する。

【0157】

図6は本実施例の半導体装置の構造を示す断面図である。

【0158】

図6に示すように、本実施例の半導体装置は、第1のシリコン含有銅配線210がビアプラグを介して第2のシリコン含有銅配線223に接続された構成である。

【0159】

第1のシリコン含有銅配線210は積層膜に形成された溝部に設けられている。その溝部は、半導体基板（不図示）上に成膜された下地絶縁膜201、SiCN膜202、梯子型の水素化シロキサン（Hydrogen Siloxane）であるLadder Oxide膜203およびSiO₂膜204からなる積層膜に形成されている。第1のシリコン含有銅配線210の側面と底面はTa/TaN膜208に覆われている。なお、以下では、Ladder OxideをL-Ox（NECエレクトロニクス株式会社の商標（出願中））と称する。

【0160】

ビアプラグは、SiO₂膜204上のSiCN膜211およびSiO₂膜212からなる積層膜に形成された孔部に設けられている。その孔部の側面と底面はTa/TaN膜220に覆われ、その中がシリコン含有銅で埋め込まれている。

【0161】

第2のシリコン含有銅配線223は積層膜に形成された溝部に設けられている。その溝部は、SiO₂膜212、SiCN膜213、L-Ox膜216およびSiO₂膜217からなる積層膜に形成されている。第2のシリコン含有銅配線223の側面はTa/TaN膜220に覆われ、第2のシリコン含有銅配線223の上面にはSiCN膜222が形成されている。

【0162】

なお、第1のシリコン含有銅配線210、ビアプラグおよび第2のシリコン含有銅配線223の他、不図示のトランジスタ、ダイオード、抵抗、およびキャパシタなどから半導体装置が構成される。

【0163】

次に、本実施例の半導体装置の製造方法について説明する。

【0164】

図7～図10は第2実施例の半導体装置の製造工程を示す断面図である。なお、第1実施例と同様な工程については、その詳細な説明は省略する。

【0165】

本実施例の半導体装置の製造方法では、半導体素子を有する基板上に成膜された下地絶縁膜201上に、第1溝配線の溝部形成のためのエッチングストッパー

膜としてSiCN膜202をプラズマCVD法により50nm成膜する。次に、第1の銅溝配線の層間絶縁膜として低誘電率層間絶縁膜であるL-Ox膜203を塗布法により300nm成膜し、400℃の焼成をN₂雰囲気で行う。次に、SiO₂膜204をプラズマCVD法により100nm成膜する。次に、成膜したSiO₂膜204上に第1溝配線用レジストパターン206を形成する（図7（a））。

【0166】

さらに、ドライエッチング技術により第1溝配線用レジストパターンからSiO₂膜204とL-Ox膜203をエッチングして、第1溝配線パターン207を形成する。その後、O₂ドライアッシングによりフォトレジスト205と反射防止膜225を除去する（図7（b））。

【0167】

次に、ドライエッチングによりエッチングストッパー膜であるSiCN膜202のエッチバックを行い、下地半導体素子との導通面を開口し、エッチング残渣除去のためのウェット剥離を行い、第1溝配線パターン207を形成する。次に、バリアメタルとしてTa/TaN膜208を30nmスパッタリング法により成膜し、続いて、Ta/TaN膜208の上にCu膜209を膜厚100nmでスパッタリング法により成膜する。その後、電解メッキ法によりCu膜209を700nm成膜し、第1溝配線パターン207を埋め込んでから、結晶化のためにN₂雰囲気で行う（図7（c））。

【0168】

次に、SiO₂膜204上のCu膜209およびTa/TaN膜208をCMP法により除去し、さらにBTA溶液による表面処理を行うことによりCu表面がBTA層で酸化防止処理された第1の銅溝配線を形成する（図7（d））。

【0169】

次に、第1の銅溝配線上のBTA層を熱分解により除去するため、第1実施例と同様にして、プラズマCVD装置内で、処理温度250～400℃、N₂ガス流量100～5000sccm、処理圧力20Torr以下の条件で2分間、熱処理を行う。さらに、BTA層除去後、第1の銅溝配線を酸素にさらすことなく

、 SiH_4 ガス流量10～500 sccm、 N_2 ガス流量100～5000 sccm、処理圧力20 Torr以下の条件で第1の銅溝配線に240秒間熱処理を行い、第1のシリコン含有銅配線210を形成し、Cu拡散防止膜としてSiCN膜211を膜厚50 nm成膜する。

【0170】

なお、ここで、第1のシリコン含有銅配線210におけるシリコン濃度の測定結果を示す。図11は第1のシリコン含有銅配線210における深さ方向のシリコン濃度を示すグラフである。図11に示すように、シリコン濃度は、配線の表面で最も高く、底面方向に深くなるにつれて低くなっている。

【0171】

次に、異層間絶縁膜として SiO_2 膜212を400 nm、エッチングストッパー膜としてSiCN膜213を50 nm成膜する。その上に第2溝配線の層間絶縁膜として L-Ox 膜216を300 nm塗布・焼成し、その上に SiO_2 膜217を100 nm成膜する。次に、反射防止膜225とフォトレジスト214を塗布し、フォトリソグラフィ技術を用いて、フォトレジストにビア用レジストパターン215を形成する（図8（e））。

【0172】

次に、ドライエッチング技術により、ビア用レジストパターン215から、層間絶縁膜および異層間絶縁膜までをエッチングして、第1のシリコン含有銅配線210上のSiCN膜211上で止める（図8（f））。このとき、SiCN膜211でエッチングが止まったビアも存在すれば、SiCN膜211でエッチングが止まらずに、ビア底で第1のシリコン含有銅配線210がむき出しになるビアも存在した。

【0173】

その後、 O_2 ドライアッシングとウェット剥離により反射防止膜225、フォトレジスト214、およびレジスト残査を除去する。このとき、SiCN膜211が抜けてしまったビアでは、ビア底の第1のシリコン含有銅配線210が酸化もしくは腐食されてしまうが、シリコン含有銅配線の場合、電気陰性度の違いから、シリコンが先に酸化され、安定な SiO_2 膜224が自己整合的に形成され

るので、銅の酸化および腐食は防止される。

【0174】

次に、反射防止膜 225 を塗布・焼成し、フォトレジスト 218 を塗布し、フォトリソグラフィ技術を用いて、フォトレジストに第 2 溝配線用レジストパターン 219 を形成する（図 9（g））。

【0175】

続いて、ドライエッチング技術により、第 2 溝配線用レジストパターン 219 から、 SiO_2 膜 217、 L-O_x 膜 216、および反射防止膜 225 をエッチングストッパー膜となる SiCN 膜 213 までエッチングする。その後、 O_2 ドライアッシングを行い、第 2 溝配線用のフォトレジスト 218 および反射防止膜 225 を除去し、エッチバックを行い、ビア底の SiCN 膜 211 を除去する。次に、ウェット剥離によりエッチング残渣を除去する（図 9（h））。このとき、ビアエッチング工程で SiCN 膜 211 が抜けてしまったビアでは、ビア底の第 1 のシリコン含有銅配線 210 がさらに酸化もしくは腐食されてしまうが、上述したように、シリコン含有銅配線の場合、電気陰性度の違いから、シリコンが先に酸化され、安定な SiO_2 が自己整合的に形成されるので、銅の酸化および腐食は防止される。

【0176】

その後、ビア底の自己整合的に形成された SiO_2 をバリアスパッタ前の RF エッチング処理により除去し、大気に曝さずに、スパッタリング法により、 Ta/TaN 膜 220 を 30 nm 成膜し、 Ta/TaN 膜 220 の上にシード用の Cu 膜 221 を 100 nm 成膜する。しかる後に、電解メッキ法により Cu 膜 221 を 700 nm 成膜する（図 9（i））。次に、図 10（j）に示すように、CMP 法により、第 2 の銅溝配線とビアプラグを形成する。

【0177】

次に、第 1 の銅溝配線と同様にして、BTA 層を除去し SiH_4 を照射することにより第 2 のシリコン含有銅配線 223 を形成し、 Cu 拡散防止膜として SiCN 膜 222 を膜厚 50 nm 成膜した（図 10（k））。この際、上述したように、シリコン濃度は、配線の表面で最も高く、底面方向に深くなるにつれて低く

なっている。

【0178】

上述のように、本実施例にて形成されたシリコン含有銅配線は、電気陰性度の違いから、シリコンが先に酸化され、安定な SiO_2 が自己整合的に形成されるので、エッチング工程における銅の酸化および腐食が防止できる。さらに、Cu シリサイドを形成した場合と比較すると膜中にシリコンを拡散させているため、配線表面がエッチングされても、銅の酸化防止効果が高い。

【0179】

次に、本実施例による半導体装置のビアチェーン歩留まりの評価結果について説明する。

【0180】

図12は二層配線によるビアチェーン歩留まりの評価結果を示すグラフである。

【0181】

図12に示すグラフから、Cu シリサイドが形成された銅配線（以下、シリサイド銅配線と称する）と同様に、純銅（pure Cu）配線よりも良好な歩留まりが得られたことがわかる。なお、シリサイド銅配線として、例えば、米国特許USP 6211084に開示されているものがある。

【0182】

次に、エレクトロマイグレーションおよびストレスマイグレーションの耐性の評価結果について説明する。

【0183】

図13はエレクトロマイグレーションおよびストレスマイグレーションの耐性を評価した結果を示すグラフである。

【0184】

図13に示すグラフから、シリコン含有銅配線は、純銅配線およびシリサイド銅配線に比べて、エレクトロマイグレーションおよびストレスマイグレーションの耐性が1桁高いことがわかる。

【0185】

上述の評価結果に示されるように、本実施例にて形成されたシリコン含有銅配線は、配線全体にシリコンを拡散させシリコン含有金属配線を形成することにより、最表面のみにシリサイド層を形成する場合よりも、金属配線の金属粒子の移動を抑制する効果が向上する。

【0186】

ここで、上記 $L-O_x$ の物性について説明する。

【0187】

同じ層の配線同士を絶縁するための配線層間絶縁膜や、下層配線および上層配線の間の異層間絶縁膜として、様々な低誘電率材料を用いることができるが、配線遅延防止の観点から、誘電率は 2.9 以下が望ましく、また、膜密度は低いものが望ましい。例えば、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、 633 nm の波長の屈折率が 1.38 以上 1.40 以下であることが望ましい。こうした絶縁膜材料の具体例として、上述の $L-O_x$ を挙げることもできる。

【0188】

図 14 は $L-O_x$ の物性データを示す表である。

【0189】

図 14 に示すように、 $L-O_x$ の誘電率は 2.9 で、屈折率は 1.39 である。このことから、 $L-O_x$ は配線層間絶縁膜および異層間絶縁膜として好ましい材料であることがわかる。なお、絶縁膜として、 $L-O_x$ を単体で用いるだけでなく、 SiO_2 膜等との積層膜であってもよい。 SiO_2 膜は窒化膜に比べて誘電率が低いからである。

【0190】

次に、梯子型水素化シロキサンの構造について説明する。

【0191】

図 15 は梯子型水素化シロキサン構造を有する $L-O_x$ の構造を示す模式図である。図 15 に示す n は 1 以上の正の数である。

【0192】

$L-O_x$ は図 15 に示すような梯子型の分子構造を有するポリマーである。このように、 $L-O_x$ が図 15 に示す構造を有することについて、物質の同定およ

び定性分析を行う F T - I R の観測結果で説明する。

【 0 1 9 3 】

図 1 6 は F T - I R の観測結果を示すグラフである。

【 0 1 9 4 】

図 1 6 に示すチャートで特徴的なのは、波数約 830 cm^{-1} に現れるシャープな S i - H 結合のスペクトルである。このスペクトルの急峻さが、L - O x が 2 次元構造を有することを示唆している。また、この急峻なスペクトルの高波数側となる波数 870 cm^{-1} 付近にもう一つの S i - H 結合のピークと想定されるものがあるが、このスペクトルは極端に小さい。このことも測定対象物質が 2 次元構造を有していることを示すと考えられる。

【 0 1 9 5 】

次に、L - O x の物性の焼成温度条件依存性について説明する。

【 0 1 9 6 】

図 1 7 は焼成条件の変化に伴う物性の変動を示すグラフである。図 1 7 中に黒丸印で示す R . I . は 633 nm の波長での屈折率を示し、白四角印は密度を示す。実験は、窒素等の不活性ガス雰囲気、温度 200°C 以上 450°C 以下で焼成した。

【 0 1 9 7 】

屈折率は誘電率に直接影響するパラメータであり、 $1.38 \sim 1.40$ の間で推移する。屈折率は、 200°C 未満の温度および 400°C よりも高い温度では 1.40 を超える値を示した。

【 0 1 9 8 】

密度は、 200°C 以上 400°C 以下で焼成した L - O x は $1.50 \sim 1.58\text{ g/cm}^3$ を示した。 400°C を超える温度では、 1.60 g/cm^3 を超える値を示した。 400°C を超える焼成温度では、密度の上昇が顕著となる。

【 0 1 9 9 】

なお、 200°C 未満では測定できなかった。 200°C 未満では、図に示さない F T - I R のチャートから、波数約 3650 cm^{-1} に現れる S i - O H (シラノール) と想定される結合のスペクトルが観測されており、S i - O H (シラノー

ル) が物性に影響を与えていると考えられる。

【0200】

以上のことから、 $L-O_x$ を含む絶縁膜の成膜の際、 200°C 以上 400°C 以下の雰囲気温度で焼成することにより、低誘電率の優れた特性の $L-O_x$ を安定して得られることがわかる。

【0201】

次に、従来知られている3次元的な構造をもつ水素化シルセスオキサン構造のHSQ (Hydrogen Silsesquioxane。以下、HSQと称する。) と $L-O_x$ との構造の違いについて説明する。

【0202】

図18はHSQの分子骨格を示す模式図である (「semiconductor technology outlook 1998年: p. 431-435」より引用)。

【0203】

上記二つの構造の材料は、製造プロセスにおける膜安定性が大きく相違し、 $L-O_x$ の方が顕著に優れた膜安定性を示す。これは、HSQに比べて $L-O_x$ の方がSi-H減少量が少ないことによるものと考えられる。また、絶縁膜中の水素原子の結合の態様が異なることも原因となっているものと考えられる。すなわち、HSQにおいては、その立方体構造の角部分に水素原子が結合しているのに対し、 $L-O_x$ では、梯子構造の側面に水素原子が結合している。したがって、HSQの方が水素原子の周りの密度が低く、HSQの水素結合は $L-O_x$ に比較し反応性に富む構造となっているものと考えられる。

【0204】

次に、 $L-O_x$ とHSQの膜安定性の相違について説明する。

【0205】

$L-O_x$ およびHSQを用いて2種類の配線構造を作製し、 SiH_4 照射によるシリコン添加プロセスを実施したところ、膜質の耐性が大きく相違することを確認した。以下、実験データに基づいて説明する。

【0206】

なお、 SiH_4 照射はプラズマCVD装置のチャンバー内で行い、照射条件は、処理温度 $250\sim 400^\circ\text{C}$ 、処理圧力 20 Torr 以下、ガス流量 $\text{SiH}_4=10\sim 500\text{ sccm}$ 、 $\text{N}_2=100\sim 5000\text{ sccm}$ である。実験で用いたHSQおよび L-Ox は、塗布後、約 200°C のホットプレートでベークし、さらに、拡散炉で窒素雰囲気中 350°C 、 30 min で焼成したのもので、それぞれ 300 nm の膜厚のブランクウエハーを使用した。膜厚、屈折率の測定は分光エリプソメータで行った。誘電率は、水銀プローブ装置にて測定したキャパシタの値、および上記分光エリプソメータで測定した膜厚の値を用いて計算した。

【0207】

図19 (a) は SiH_4 照射時間に対する膜厚収縮率変化量を示すグラフ、(b) は SiH_4 照射時間に対する屈折率変化量を示すグラフ、(c) は SiH_4 照射時間に対する誘電率変化量を示すグラフである。

【0208】

膜厚収縮率については、図19 (a) に示すように、 L-Ox の膜厚は、 0 s から 120 s までの SiH_4 照射時間に依存せず、初期値に対して 99% でほぼ変化がなかった。一方、HSQの膜厚は、 SiH_4 照射時間が長くなるにつれて減少し、照射時間 120 s では初期値の約 80% まで減少した。

【0209】

屈折率変化については、図19 (b) に示すように、波長 633 nm による測定で、HSQでは、 120 s 照射すると、屈折率が初期値の 1.39 から 1.42 まで変化した。これに対して、 L-Ox では、照射時間 0 s から 120 s まで、屈折率が初期値の 1.39 から変化しなかった。

【0210】

誘電率の変化については、図19 (c) に示すように、HSQは、 SiH_4 照射処理を行うと、初期値の 2.9 から、 120 s 照射で 3.4 まで上昇してしまう。一方、 L-Ox は、 120 s 照射しても初期値の 2.9 から変化しなかった。

【0211】

上述の結果から、膜厚、屈折率、および誘電率のいずれについても、 SiH_4

照射に対する耐性は L-O_x の方が優れていることが明らかになった。こうした SiH_4 照射処理耐性の違いは、上述した水素結合の反応性の違いによるものと考えられる。

【0212】

以上のことから、 SiH_4 照射処理を行う場合、層間膜としてHSQよりも L-O_x が好ましい。また、この L-O_x をポーラスにした、誘電率2.5のポーラス L-O_x でも SiH_4 照射処理の耐性は L-O_x と同様であることが確認された。

【0213】

さらに、 L-O_x とHSQの薬液耐性について比較実験をしたので、その結果について説明する。

【0214】

図20(a)は一定量エッチングした後の膜厚を示す表であり、(b)はウエハ中の測定位置を示す模式図である。実験は、弗化アンモニウムおよび希釈されたHFからなるエッチング液にウエハを一定時間浸漬した後、図20(b)に示す5点①～⑤の位置のエッチング量を測定した。表中の数値の単位はオングストローム($\times 10^{-8}\text{cm}$)である。

【0215】

図20に示すように、弗化アンモニウムおよび希釈されたHFに対するエッチング速度を比較すると、 L-O_x の方がHSQに比べてエッチング速度が大きいことが分かった。

【0216】

次に、HSQ膜および L-O_x 膜を実際のダマシン配線構造の配線層間絶縁膜に適用して、 SiH_4 照射処理をした結果について説明する。

【0217】

配線密度の高い場所では、CMP処理の研磨速度が大きいため、CMP処理後、マスク SiO_2 膜が無くなっているか、または薄くなっていた。そのため、配線に SiH_4 照射処理をすると、プラズマ SiO_2 膜の下層のHSQ膜および L-O_x 膜にも SiH_4 照射処理をすることになる。ライン/スペース=0.2/0

． 2 マイクロメートルの配線構造に SiH_4 照射処理をした場合の配線間容量を比較すると、HSQでは SiO_2 に対して 2～3% しか低下しないのに対し、 L-O_x では SiO_2 に対して 8～12% の十分な低減が確認された。さらに、ポーラス L-O_x ($k=2.5$) の場合では、 SiO_2 膜に対して 15～20% 程度の低減が確認された。

【0218】

上述のことから、実際の配線構造においても、HSQ に比べ、 L-O_x またはポーラス L-O_x の方が好ましいことが確認された。

【0219】

また、その他の、炭素を含有している材料である MSQ (Methyl Silsesquioxane)、および炭素が主構造となっている Organic Polymer についても、実際のダマシン構造を用いて L-O_x 膜およびポーラス L-O_x 膜と比較した。MSQ および Organic Polymer のように、炭素を含有している材料を用いた場合のダマシン構造では、銅配線と、キャップ膜である SiCN 膜界面で、薄い酸化銅膜が確認されたのに対し、 L-O_x 膜層間またはポーラス L-O_x では酸化銅膜は確認されなかった。この理由として、 SiCN 膜の成膜前のチャンバー内の熱により L-O_x から微量の水素が脱離し、この水素がもともと CMP 後に存在していた酸化銅層を還元したと考えられる。

【0220】

また、炭素を含有した膜は、 SiCN 膜の成膜前のチャンバー内の熱では、 L-O_x に比較して水素単独のガス量は少なく、炭化水素ガスのデガス量が多いことにより、酸化銅層を十分還元できなかったと予想される。さらに、酸化銅が膜中に存在する場合、これが原因で、エレクトロマイグレーションやストレスマイグレーションなどの耐性が悪くなることが予想される。すなわち、炭素含有絶縁膜よりも、 L-O_x 膜またはポーラス L-O_x 膜を層間膜に使用することが好ましい。

【0221】

(第3実施例)

本発明の第3実施例は、MF法によるデュアルダマシン構造の二層配線にシリコン含有銅配線を適用し、その配線層間絶縁膜に低誘電率層間絶縁膜を適用したことを特徴とする。なお、本実施例の半導体装置の構成については、第2実施例と同様なため、その詳細な説明を省略する。

【0222】

本実施例の半導体装置の製造方法について説明する。

【0223】

図21～図23は第3実施例の半導体装置の製造工程を示す断面図である。なお、第1実施例および第2実施例と同様な工程については、その詳細な説明は省略する。

【0224】

本実施例の半導体装置の製造方法では、まず第2実施例と同様にして第1のシリコン含有銅配線210まで形成する。この際、シリコン濃度は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。次に、第2実施例と同様にしてSiCN膜211、異層間絶縁膜であるSiO₂膜212までを順に形成する。さらに、その上に第2のエッチングストッパー膜としてSiCN膜213を50nm形成する（図21（a））。

【0225】

次に、その第2のエッチングストッパー膜であるSiCN膜213のみビアのパターンにエッチングするため、フォトレジスト214を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト214にビア用レジストパターン215を形成する（図21（b））。

【0226】

次に、そのフォトレジスト214をマスクにして、ドライエッチング技術によりSiCN膜213をエッチングする。その後、O₂ドライアッシングおよびウェット剥離を行い、フォトレジスト214およびエッチング残渣を除去する。次に、第2溝配線の層間絶縁膜としてL-O_x膜216を300nm塗布・焼成し、その上にSiO₂膜217を100nm成膜する（図21（c））。次に、フォトレジスト218を塗布し、フォトリソグラフィ技術を用いて、フォトレジ

スト 218 に第 2 溝配線用レジストパターン 219 を形成する (図 22 (d))
。

【0227】

次に、ドライエッチング技術により、フォトレジスト 218 をマスクにして、第 2 溝配線の層間絶縁膜である SiO_2 膜 217 と L-Ox 膜 216、そして、ビア形状のパターンが形成された第 2 のエッチングストッパー膜である SiCN 膜 213 をエッチングマスクにして、異層間絶縁膜の SiO_2 膜 212 をエッチングし、第 1 のシリコン含有銅配線 210 上の SiCN 膜 211 上で止めた。その後、 O_2 ドライアッシングによりフォトレジスト 218 を除去したのち、エッチバックを行い、第 1 のシリコン含有銅配線 210 上の SiCN 膜 211 および第 2 のエッチングストッパー膜の SiCN 膜 213 を除去する。その後、ウェット剥離を行いエッチング残渣の除去を行った (図 22 (e))。

【0228】

このとき、ビア底部では第 2 実施例で述べたのと同様に、 SiO_2 膜 212 のエッチング工程で SiCN 膜 211 が抜けてしまったビアでは、ビア底の銅配線がさらに酸化もしくは腐食されてしまうが、シリコン含有銅配線の場合、電気陰性度の違いから、シリコンが先に酸化され、安定な SiO_2 膜が自己整合的に形成されるので、銅の酸化および腐食は防止される。

【0229】

その後、ビア底の自己整合的に形成された SiO_2 膜をバリアスパッタ前の RF エッチング処理により除去し、大気に曝さずに、スパッタリング法により、 Ta/TaN 膜 220 を 30 nm 成膜し、 Ta/TaN 膜 220 の上にシード用の Cu 膜 221 を 100 nm 成膜する。しかる後に、電解メッキ法により Cu 膜 221 を 700 nm 成膜する (図 22 (f))。次に、図 23 (g) に示すように、CMP 法により、第 2 の銅溝配線とビアプラグを形成する。

【0230】

次に、第 1 の銅溝配線と同様にして、 BTA 層を除去し SiH_4 を照射することにより第 2 のシリコン含有銅配線 223 を形成し、 Cu 拡散防止膜として SiCN 膜 222 を膜厚 50 nm 成膜した (図 23 (h))。この際、シリコン濃度

は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。

【0231】

なお、本実施例によるMF法の場合、エッチングストッパー膜であるSiCN膜にフォトリソグラフィ工程を行う必要があるが、SiCN膜は表面が疎水性であるため塗布膜である反射防止膜の濡れ性が悪く塗布ムラが発生しやすいこと、SiCN膜上の反射防止膜を除去する際にSiCN膜がエッチングのダメージを受けることなどから反射防止膜を使用できない。また、第2溝配線のフォトリソグラフィ工程において、エッチングストッパー膜のエッチング段差部に反射防止膜が厚く堆積されて、ドライエッチング工程で支障をきたすことから、第2溝配線のフォトリソグラフィ工程でも反射防止膜を使用できない。このため、従来の銅配線では、下層からのCu膜の反射を抑えられず、ビアの焦点深度(DOF: Depth of Focus)の低下を招き、問題となっていた。しかし、本実施例にて形成されたシリコン含有銅配線は、従来の銅配線と比較してフォトリソグラフィ工程における反射防止効果が高いことから、MF法におけるエッチングストッパー膜のフォトリソグラフィ工程を改善し、製品歩留まり、信頼性を向上できる。

【0232】

ここで、シリコン含有量と反射率との関係について説明する。

【0233】

図24はシリコン含有濃度と反射率との関係を示すグラフである。なお、反射率測定には、標準サンプルとしてシリコンを含有しないCu膜を用い、シリコンを含有させたサンプルとして種々の膜厚のCu膜に同じ量のシリコンを含有させたものを用いた。測定は、波長260nmのレーザーを照射した際に得られる反射率を分光光度計を用いて行った。

【0234】

図24に示すグラフから、シリコンを含有しない銅表面の反射率は32%であるが、シリコン含有率の上昇と共に反射率は低下し、シリコン含有率0.05%程度では反射率は2%まで低下した。また、それ以上シリコンを含有させても反射率はほとんど変化しなかった。この結果から、シリコン含有率が0.05%以

上あれば、効果があることが分かった。

【0235】

なお、上記第2実施例および本実施例において、溝の形成方法として層間絶縁膜のドライエッチング後、 O_2 ドライアッシングによるレジスト除去を行ってからSiCN膜のエッチバックを行い、それからウェット剥離によるエッチング残渣除去を行っているが、層間絶縁膜のドライエッチング後、 O_2 ドライアッシングとウェット剥離によるレジスト除去とエッチング残渣除去を行ってから、SiCN膜をエッチバックしてもよい。

【0236】

(第4実施例)

本発明の第4実施例は、TF法によるデュアルダマシン構造の二層配線にシリコン含有銅配線を適用し、その配線層間絶縁膜に低誘電率層間絶縁膜を適用したことを特徴とする。なお、本実施例の半導体装置の構成については、第2実施例と同様なため、その詳細な説明を省略する。

【0237】

本実施例の半導体装置の製造方法について説明する。

【0238】

図25～図27は第4実施例の半導体装置の製造工程を示す断面図である。なお、第1乃至3実施例と同様な工程については、その詳細な説明は省略する。

【0239】

本実施例の半導体装置の製造方法では、まず第2実施例と同様にして第1のシリコン含有銅配線210まで形成する。この際、シリコン濃度は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。次に、第2実施例と同様にしてSiCN膜211、異層間絶縁膜であるSiO₂膜212までを順に形成する。さらに、その上に第2のエッチングストッパー膜としてSiCN膜213を50nm形成する。

【0240】

次に、その上に第2溝配線の層間絶縁膜としてL-Ox膜216を300nm塗布・焼成し、その上にSiO₂膜217を100nm成膜する。次に、反射防

止膜 225 とフォトレジスト 218 を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト 218 に第 2 溝配線用レジストパターン 219 を形成する（図 25（a））。

【0241】

次に、ドライエッチング技術により、フォトレジスト 218 をマスクにして、第 2 溝配線の層間絶縁膜である SiO_2 膜 217 と L-Ox 膜 216 をエッチングする。次に、 O_2 ドライアッシングとウェット剥離によりフォトレジスト 218、反射防止膜 225、およびエッチング残渣を除去する（図 25（b））。次に、全面エッチバックにより、第 2 のエッチングストッパー膜の SiCN 膜 213 を除去する（図 25（c））。

【0242】

次に、フォトレジスト 214 を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト 214 にビア用レジストパターン 215 を形成する（図 26（d））。

【0243】

次に、ドライエッチング技術により、フォトレジスト 214 をマスクにして、異層間絶縁膜の SiO_2 膜 212 をエッチングし、第 1 のシリコン含有銅配線 210 上の SiCN 膜 211 上で止めた。その後、 O_2 ドライアッシングによりフォトレジストを除去する（図 26（e））。次に、第 1 のシリコン含有銅配線 210 上の SiCN 膜 211 をエッチバックした。その後、ウェット剥離を行い、エッチング残渣の除去を行った（図 26（f））。

【0244】

このとき、ビア底部では第 3 実施例で述べたのと同様に、 SiO_2 膜 212 のエッチング工程で SiCN 膜 211 が抜けてしまったビアでは、ビア底の銅配線がさらに酸化または腐食されてしまうが、シリコン含有銅配線の場合、電気陰性度の違いから、シリコンが先に酸化され、安定な SiO_2 膜 224 が自己整合的に形成されるので、銅の酸化および腐食は防止される。

【0245】

その後、ビア底の自己整合的に形成された SiO_2 膜 224 をバリアスパッタ

前のRFエッチング処理により除去し、大気に曝さずに、スパッタリング法により、Ta/TaN膜220を30nm成膜し、Ta/TaN膜220の上にシード用のCu膜221を100nm成膜する。しかる後に、電解メッキ法によりCu膜221を700nm成膜する（図27（g））。次に、図27（h）に示すように、CMP法により、第2の銅溝配線とビアプラグを形成する。

【0246】

次に、第1の銅溝配線と同様にして、BTA層を除去しSiH₄を照射することにより第2のシリコン含有銅配線223を形成し、Cu拡散防止膜としてSiCN膜222を膜厚50nm成膜した（図27（i））。この際、シリコン濃度は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。

【0247】

なお、本実施例によるTF法の場合、第2溝配線の溝部を形成した後、ビアのフォトリソグラフィー工程を行う必要があるが、反射防止膜を用いると配線溝部分が反射防止膜により埋め込まれ、下層の異層間絶縁膜であるSiO₂膜がエッチングできなくなるため反射防止膜を使用できない。このため、従来の銅配線では、下層からのCu膜の反射を抑えられず、ビアのDOFの低下を招き、問題となっていた。しかし、本実施例にて形成されたシリコン含有銅配線は、従来の銅配線と比較してリソグラフィー工程における反射防止効果が高いことから、TF法におけるビアのリソグラフィー工程を改善し、製品歩留まり、信頼性を向上することができる。

【0248】

また、上記第2実施例から本実施例までについて、エッチングストッパー膜を用いているが、エッチングストッパー膜の上層膜のエッチング工程で、下層膜までエッチングしないように処理時間を制御することで、エッチングストッパー膜を省略しても良い。エッチングストッパー膜を省略することにより、配線間容量を低減することができる。

【0249】

（第5実施例）

本発明の第5実施例は、シングルダマシン構造の二層配線にシリコン含有銅配

線を適用し、その配線層間絶縁膜に低誘電率層間絶縁膜を適用したことを特徴とする。

【0250】

第5実施例の構成について説明する。

【0251】

図28は本実施例の半導体装置の構造を示す断面図である。

【0252】

図28に示すように、本実施例の半導体装置は、第1のシリコン含有銅配線210がシリコン含有銅プラグ228を介して第2のシリコン含有銅配線223に接続された構成である。

【0253】

第1のシリコン含有銅配線210は積層膜に形成された溝部に設けられている。その溝部は、半導体基板（不図示）上に成膜された下地絶縁膜201、SiCN膜202、 L-Ox 膜203および SiO_2 膜204からなる積層膜に形成されている。第1のシリコン含有銅配線210の側面と底面はTa/TaN膜208に覆われている。

【0254】

シリコン含有銅プラグ228は、 SiO_2 膜204上のSiCN膜211および SiO_2 膜212からなる積層膜に形成された孔部に設けられている。その孔部の側面と底面はTa/TaN膜226に覆われている。

【0255】

第2のシリコン含有銅配線223は積層膜に形成された溝部に設けられている。その溝部は、SiCN膜213、 L-Ox 膜216および SiO_2 膜217からなる積層膜に形成されている。第2のシリコン含有銅配線223の側面と底面はTa/TaN膜220に覆われ、第2のシリコン含有銅配線223の上面にはSiCN膜222が形成されている。

【0256】

なお、第1のシリコン含有銅配線210、シリコン含有銅プラグ228および第2のシリコン含有銅配線223の他、不図示のトランジスタ、ダイオード、抵

抗、およびキャパシタなどから半導体装置が構成される。

【0257】

次に、本実施例の半導体装置の製造方法について説明する。

【0258】

図29～図32は第5実施例の半導体装置の製造工程を示す断面図である。なお、第1乃至4実施例と同様な工程については、その詳細な説明は省略する。

【0259】

本実施例の半導体装置の製造方法では、まず第2実施例と同様にして第1のシリコン含有銅配線210まで形成する。この際、シリコン濃度は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。

【0260】

次に、第2実施例と同様にしてSiCN膜211、異層間絶縁膜であるSiO₂膜212までを順に形成する(図29(a))。

【0261】

次に、成膜したSiO₂膜212上に反射防止膜225とフォトレジスト214を塗布し、フォトリソグラフィ技術を用いて、ビア用レジストパターン215を形成する(図29(b))。

【0262】

さらに、ドライエッチング技術によりビア用レジストパターンからSiO₂膜212をエッチングして、ビア用パターンを形成する。その後、O₂ドライアシングを行い、フォトレジスト214と反射防止膜225を除去する(図29(c))。次に、ビア底のSiCN膜211をエッチバックする。次に、ウェット剥離によりエッチング残渣を除去する(図29(d))。

【0263】

このとき、ビアエッチング工程ではSiCN膜211が抜けてしまったビア底の銅配線がさらに酸化もしくは腐食されてしまうが、シリコン含有銅配線の場合、電気陰性度の違いから、シリコンが先に酸化され、安定なSiO₂膜224が自己整合的に形成されるので、銅の酸化および腐食は防止される。

【0264】

その後、ビア底の自己整合的に形成された SiO_2 膜224をバリアスパッタ前のRFエッチング処理により除去し、大気に曝さずに、スパッタリング法により、 Ta/TaN 膜226を30nm成膜し、 Ta/TaN 膜226の上にシード用のCu膜227を100nm成膜する。その後、電解メッキ法によりCu膜227を700nm成膜し、ビアパターンに埋め込んでから、結晶化のために400℃の熱処理を行う(図30(e))。

【0265】

次に、 SiO_2 膜212上のCu膜227および Ta/TaN 膜226をCMP法により除去し、さらにBTA溶液による表面処理を行うことによりCu表面がBTA層で酸化防止処理された銅ビアプラグを形成した(図30(f))。

【0266】

次に、第2実施例で第1のシリコン含有銅配線210を形成した際と同じ工程によりシリコン含有銅プラグ228を形成し、第2のCu拡散防止膜としてSiCN膜213を50nm成膜する(図30(g))。

【0267】

次に、第2の層間絶縁膜として L-Ox 膜216を300nm塗布・焼成し、その上に SiO_2 膜217を100nm成膜する。次に、反射防止膜225とフォトレジスト218を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト218に第2溝配線用レジストパターン219を形成する(図31(h))。

【0268】

次に、ドライエッチング技術により、フォトレジスト218をマスクにして、第2溝配線の層間絶縁膜である SiO_2 膜217と L-Ox 膜216をエッチングする。次に、 O_2 ドライアッシングによりフォトレジスト218と反射防止膜225を除去する。次に、全面エッチバックにより、第2のCu拡散防止膜のSiCN膜213を除去する。次に、ウェット剥離によりエッチング残渣を除去する(図31(i))。

【0269】

このとき、第2溝配線の底部ではビアエッチング工程と同様に、ドライエッチ

ング工程でSiCN膜が抜けてしまいビアプラグが露出していると、酸化もしくは腐食されてしまうが、シリコン含有銅プラグの場合、電気陰性度の違いから、シリコンが先に酸化され、安定なSiO₂膜が自己整合的に形成されるので、銅の酸化および腐食は防止される。

【0270】

その後、ビアプラグ上面に自己整合的に形成されたSiO₂膜をバリアスパッタ前のRFエッチング処理により除去し、大気に曝さずに、スパッタリング法により、Ta/TaN膜220を30nm成膜し、Ta/TaN膜220の上にシード用のCu膜221を100nm成膜する。次に、電解メッキ法によりCu膜221を700nm成膜する(図31(j))。次に、CMP法により、第2の銅溝配線を形成し、BTA溶液による表面処理を行った(図32(k))。

【0271】

次に、第1のシリコン含有銅配線210およびシリコン含有銅プラグ228と同様に、BTA層を除去し、SiH₄を照射することにより第2のシリコン含有銅配線223を形成し、Cu拡散防止膜としてSiCN膜222を膜厚50nm成膜する(図32(l))。この際、シリコン濃度は、配線表面で最も高く、底面方向に深くなるにつれて低くなっている。

【0272】

上述のように、本実施例にて形成された配線は、配線全体にシリコンを拡散させ、シリコン含有金属配線を形成することにより、最表面のみにシリサイド層を形成する場合よりも、金属配線の金属粒子の移動を抑制する効果が向上できる。

【0273】

また、本実施例にて形成されたシリコン含有銅配線は、電気陰性度の違いから、シリコンが先に酸化され、安定なSiO₂が自己整合的に形成されるので、エッチング工程における銅の酸化および腐食が防止できるため、純銅配線よりも製品歩留まりが向上できる。

【0274】

さらに、本実施例では、シングルダマシン構造により、第1溝配線、第2溝配線およびビアプラグのそれぞれの上面でシリコン濃度が高いシリコン含有銅配線

を形成しているため、デュアルダマシン構造でシリコン含有銅配線を形成した場合より、ビア内部でのシリコン濃度を高くできる。

【0275】

ここで、エレクトロマイグレーションおよびストレスマイグレーションの耐性評価の結果を説明する。

【0276】

図33はエレクトロマイグレーションおよびストレスマイグレーションの耐性を評価した結果を示すグラフである。

【0277】

図33に示すように、本実施例によるシリコン含有銅配線は、デュアルダマシン構造で形成されたシリコン含有銅配線よりも、エレクトロマイグレーションおよびストレスマイグレーションの耐性がさらに向上している。

【0278】

なお、上記第4実施例および本実施例において、溝およびビアの形成方法として層間絶縁膜のドライエッチング後、 O_2 ドライアッシングによるレジスト除去を行ってからSiCN膜のエッチバックを行い、それからウェット剥離によるエッチング残渣除去を行っているが、層間絶縁膜のドライエッチング後、 O_2 ドライアッシングとウェット剥離によるレジスト除去とエッチング残渣除去を行ってから、SiCN膜をエッチバックしてもよい。

【0279】

上記第2実施例から本実施例までについて、異層間絶縁膜にSiO₂膜を用いているが、溝配線層間絶縁膜と同様にL-O_x膜とSiO₂膜の積層構造を用いてもよい。また、L-O_x膜のマスク絶縁膜としてSiO₂膜を用いているが、L-O_xとのエッチング選択性に優れ、 O_2 ドライアッシングおよびウェット剥離液に対する耐性が優れていれば、SiC膜、SiCN膜、およびSiOC膜などの絶縁膜を用いても良い。さらに、低誘電率層間絶縁膜としてL-O_xを用いているが、SiOF膜、SiOC膜、および有機膜などの、SiO₂膜より比誘電率が低い絶縁膜であればよい。

【0280】

上記第1実施例から第5実施例について銅配線を用いたが、配線中にA l、A g（銀）、W（タングステン）、M g（マグネシウム）、B e（ベリリウム）、Z n（亜鉛）、P d（パラジウム）、C d（カドミウム）、A u（金）、H g（水銀）、P t（白金）、Z r（ジルコニウム）、T i（チタン）、S n（スズ）、N i（ニッケル）およびF e（鉄）といった異種元素のうち少なくとも一つと合金を形成した銅の合金を含有する金属配線のような、銅に他の金属を含有する配線でもよく、また他の金属の配線にも適用可能である。この場合においても、金属配線におけるエレクトロマイグレーションおよびストレスマイグレーションの耐性を低減させることはない。

【0281】

上記第1実施例から第5実施例についてバリアメタルにT a／T a N膜を用いたが、バリアメタルは、T i、T i N、T i S i N、T a、T a N、およびT a S i Nのうち少なくとも一つ有する構成であればよい。この場合においても、金属配線におけるエレクトロマイグレーションおよびストレスマイグレーションの耐性を低減させることはない。

【0282】

また、配線表面に酸化防止膜を形成するためにB T Aを用いているが、B T Aより溶解度の高いB T A誘導体であってもよい。

【0283】

また、本発明の半導体装置は、銅配線を有する半導体装置であるが、トランジスタ、ダイオード、抵抗およびキャパシタなどを有していなくてもよい。

【0284】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0285】

本発明の半導体装置の製造方法は、シリコン含有金属配線と金属拡散防止膜の密着性がよいため、金属配線の金属粒子を安定化して金属粒子が移動するのを防ぎ、エレクトロマイグレーション耐性が向上する。また、上層に形成される保護

膜などの応力による金属配線の断線を防ぎ、ストレスマイグレーションの耐性が向上する。したがって、配線寿命の長い金属配線を形成できる。

【0286】

また、本発明のように、配線全体にシリコンを拡散させシリコン含有金属配線を形成することにより、最表面のみにシリサイド層を形成する場合より、金属配線の金属粒子の移動を抑制する効果が向上し、かつ、シリサイド層を形成するよりも配線全体のシリコン含有量を低くできるため配線抵抗の上昇を抑制できる。

【0287】

また、配線表面だけではなく結晶粒に沿った深さ方向に対してもシリコンを拡散させることができるため、配線底部までシリコンを含有したシリコン含有金属配線を形成できる。

【0288】

また、本発明のシリコン含有銅配線は、エッチング工程における銅の酸化および腐食が防止できる。さらにCuシリサイド層を形成した場合と比較すると膜中にシリコンを拡散させているため、配線表面がエッチングされても、銅の酸化防止効果が高く、エッチングによる配線の劣化を抑制できるため製品の歩留まりを向上できる。

【0289】

また、本発明のシリコン含有銅配線は、リソグラフィー工程における反射防止効果が高いことから、反射防止膜を用いることが出来ないリソグラフィー工程においても、製品歩留まり、信頼性を向上することができる。

【0290】

さらに、金属配線にCu配線を用いることにより、配線サイズが縮小化されても、配線抵抗の上昇が抑制される。

【図面の簡単な説明】

【図1】

第1実施例の半導体装置の構造を示す断面図である。

【図2】

第1実施例に用いられる平行平板型プラズマCVD装置の構成の一実施例を模

式的に示す断面図である。

【図 3】

第 1 実施例の半導体装置の製造工程を示す断面図である。

【図 4】

シリコンと銅の状態を示す相図である。

【図 5】

酸化防止層除去と SiH_4 処理の処理条件についての実験の結果を示すグラフおよび表である。

【図 6】

第 2 実施例の半導体装置の構造を示す断面図である。

【図 7】

第 2 実施例の半導体装置の製造工程を示す断面図である。

【図 8】

第 2 実施例の半導体装置の製造工程を示す断面図である。

【図 9】

第 2 実施例の半導体装置の製造工程を示す断面図である。

【図 1 0】

第 2 実施例の半導体装置の製造工程を示す断面図である。

【図 1 1】

本発明のシリコン含有銅配線を半導体基板側より SIMS 分析を行い、銅配線中にシリコンが拡散されていることを示す実験データ図である。

【図 1 2】

本発明の第 2 実施例により形成された製品と従来構造の製品のビアチェーン歩留まりを比較した実験データ図である。

【図 1 3】

本発明の第 2 実施例により形成された製品と従来構造の製品のビア EM を比較した実験データ図である。

【図 1 4】

L-O_x の物性データを示す表である。

【図 15】

L-Ox の構造を示す模式図である。

【図 16】

FT-IR の観測結果を示すグラフである。

【図 17】

焼成条件の変化に伴う物性の変動を示すグラフである。

【図 18】

HSQ の構造を示す模式図である。

【図 19】

本発明の SiH₄ 照射処理時間に対する、HSQ と L-Ox の膜厚収縮率変化量、屈折率変化量および比誘電率変化量についての実験データ図である。

【図 20】

一定量エッチングした後の膜厚測定結果を示す表、および測定点を示す模式図である。

【図 21】

第 3 実施例の半導体装置の製造工程を示す断面図である。

【図 22】

第 3 実施例の半導体装置の製造工程を示す断面図である。

【図 23】

第 3 実施例の半導体装置の製造工程を示す断面図である。

【図 24】

本発明のシリコン含有銅配線においてシリコン濃度と反射率の関係を調べた実験データ図である。

【図 25】

第 4 実施例の半導体装置の製造工程を示す断面図である。

【図 26】

第 4 実施例の半導体装置の製造工程を示す断面図である。

【図 27】

第 4 実施例の半導体装置の製造工程を示す断面図である。

【図 2 8】

第 5 実施例の半導体装置の構造を示す断面図である。

【図 2 9】

第 5 実施例の半導体装置の製造工程を示す断面図である。

【図 3 0】

第 5 実施例の半導体装置の製造工程を示す断面図である。

【図 3 1】

第 5 実施例の半導体装置の製造工程を示す断面図である。

【図 3 2】

第 5 実施例の半導体装置の製造工程を示す断面図である。

【図 3 3】

本発明のシリコン含有銅配線によるデュアルダマシン構造とシングルダマシン構造の製品のビア E M を比較した実験データ図である。

【図 3 4】

従来の溝配線の構造の一実施例を示す断面図である。

【図 3 5】

従来の V F 法の製造工程を示す断面図である。

【図 3 6】

従来の V F 法の製造工程を示す断面図である。

【図 3 7】

従来の V F 法の製造工程を示す断面図である。

【図 3 8】

従来の V F 法により形成された製品について、ビアチェーン歩留まりと第 2 溝配線のフォトリソグラフィ工程のリワーク回数との関係を示す実験データ図である。

【符号の説明】

- 1、1 0 1、2 0 1、3 0 1 下地絶縁膜
- 2、1 0 2 S i O₂絶縁膜
- 3、2 0 5、2 1 4、2 1 8、3 1 4、3 1 8 フォトレジスト

4 溝配線用レジストパターン

5、208、220、226、320 Ta/TaN膜

6 Cu層

7、107 Cu配線

8 シリコン含有Cu配線

9、202、211、213、222、302、311、313、322

SiCN膜

10、110 SiO₂層間絶縁膜

11 BTA層

12、112 SiN膜

30 処理室

32 ヒータ

34 排気手段

35 ガス配管

36 ガス供給部

37 ガス流量制御手段

38 コンピュータ

40 上部平板電極

41 下部平板電極

42 高周波発生機

100 半導体基板

105 バリアメタル

204、212、217、304、312、317 SiO₂膜

209、221、227、321 Cu膜

203、216 L-Ox

206 第1溝配線用レジストパターン

207 第1溝配線パターン

215、315 ビア用レジストパターン

210 第1のシリコン含有銅配線

2 1 9、3 1 9 第 2 溝配線用レジストパターン

2 2 3 第 2 のシリコン含有銅配線

2 2 4 自己整合的に形成された S i O₂膜

2 2 5、3 2 5 反射防止膜

2 2 8 シリコン含有銅プラグ

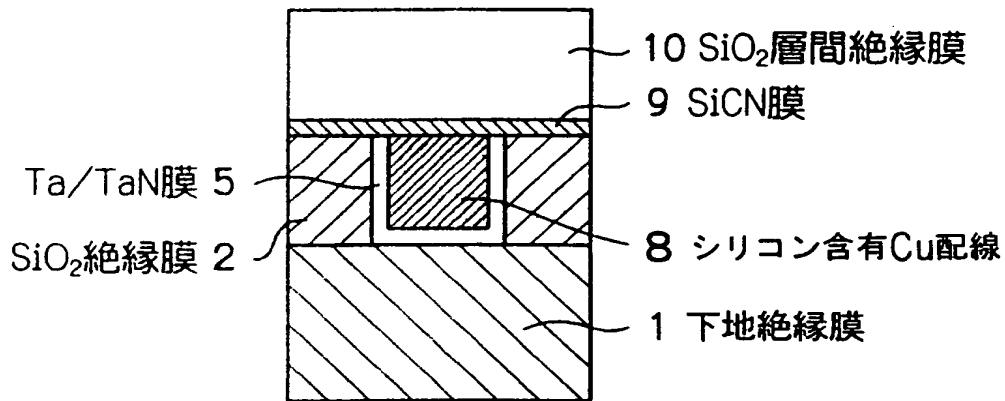
3 3 0 第 1 の銅配線

3 3 1 銅の酸化層

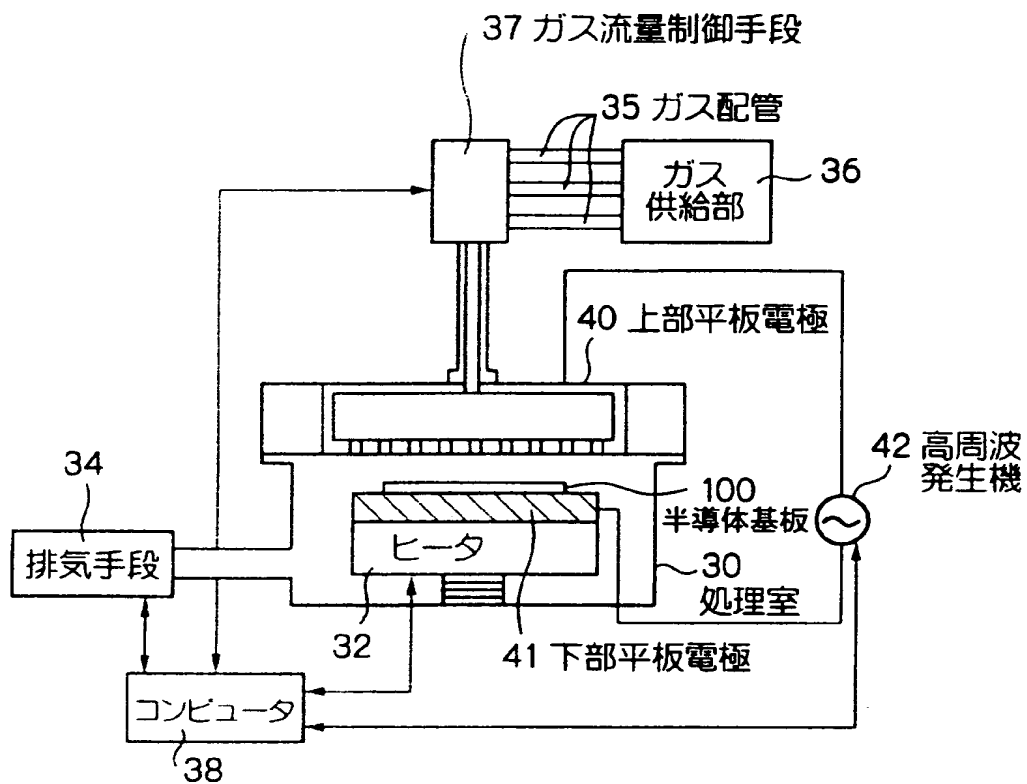
3 3 2 第 2 の銅配線

【書類名】 図面

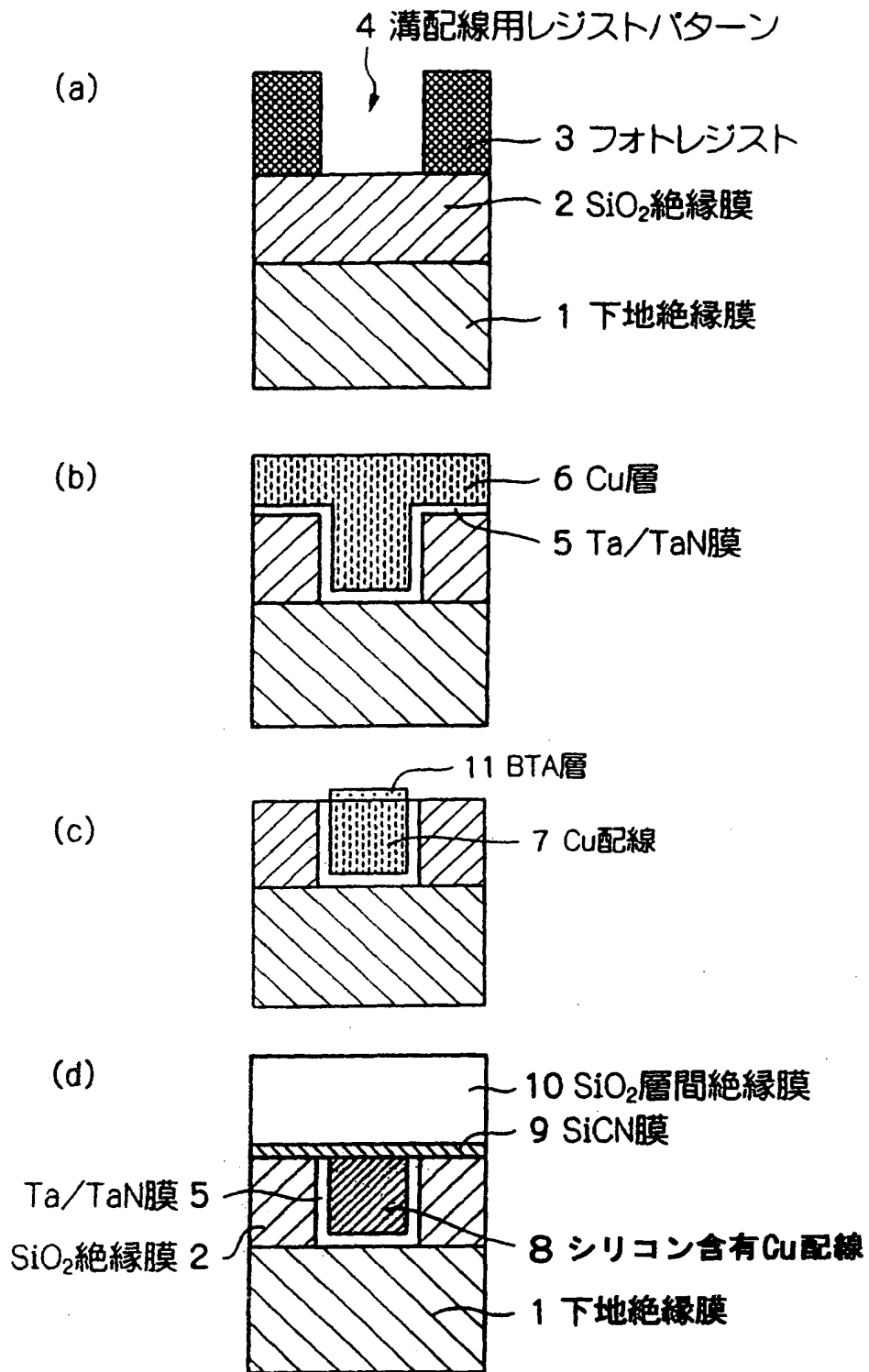
【図 1】



【図 2】



【図 3】



【図 4】

631

Cu-Si

Crystal Structures. Lattice parameters of the α phase were reported by [6, 19, 13, 16, 27]; the parameter increases from $a = 3.615$ Å at 0% Si to $a = 3.622$ Å at 11.7 at. % Si [6, 16].

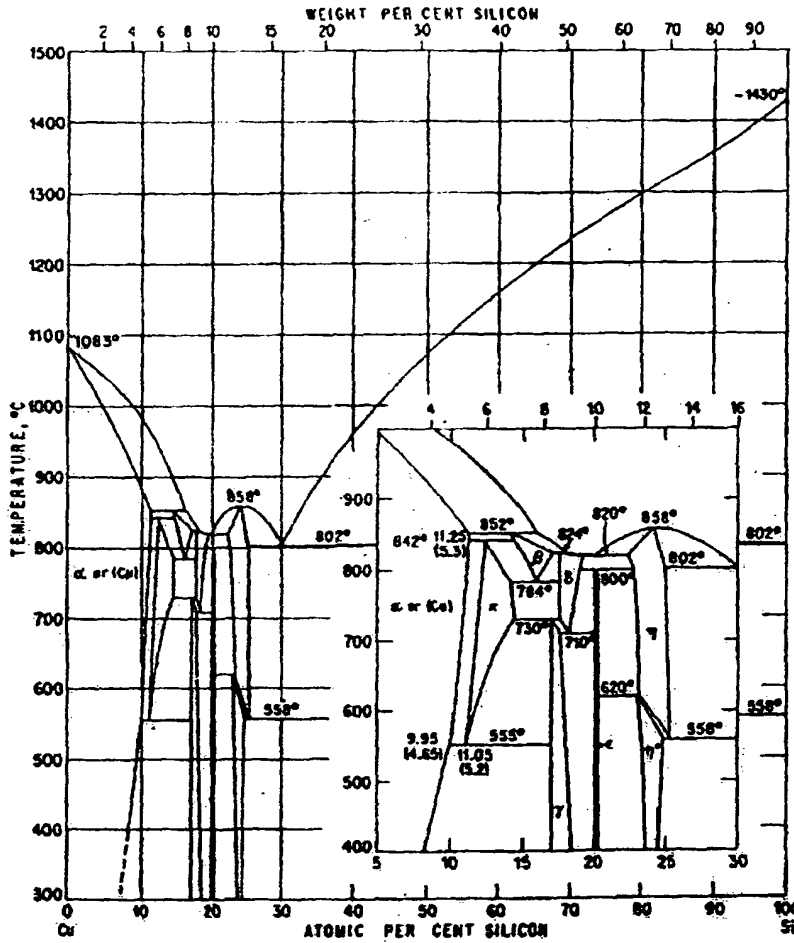


Fig. 359. Cu-Si

The α phase is h.c.p. (A3 type) [6, 8, 13, 16], with $a = 2.559$ Å, $c = 4.185$ Å, $c/a = 1.635$ at 11.8 at. % Si and $a = 2.562$ Å, $c = 4.182$ Å, $c/a = 1.632$ at 14.0 at. % Si [16].

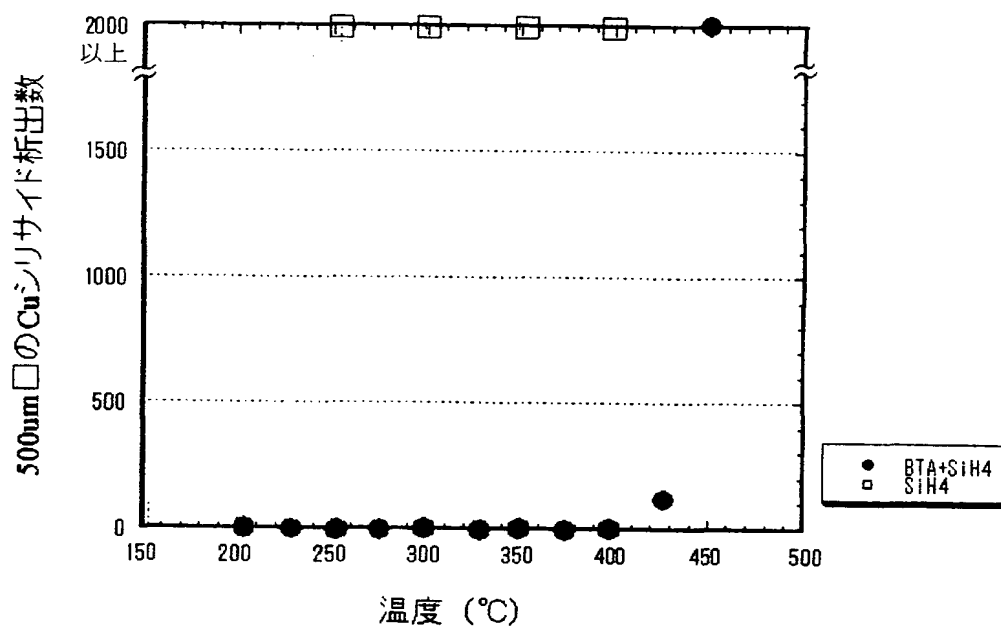
The β phase, a 3:2 electron compound [28], is b.c.c. of the A2 type, $a = 2.854$ Å at 14.9 at. % Si [13].

The γ phase is cubic of the β -Mn (A13) type [6, 8, 29, 14], $a = 6.222$ Å [5, 29], $a = 6.198$ Å [14].

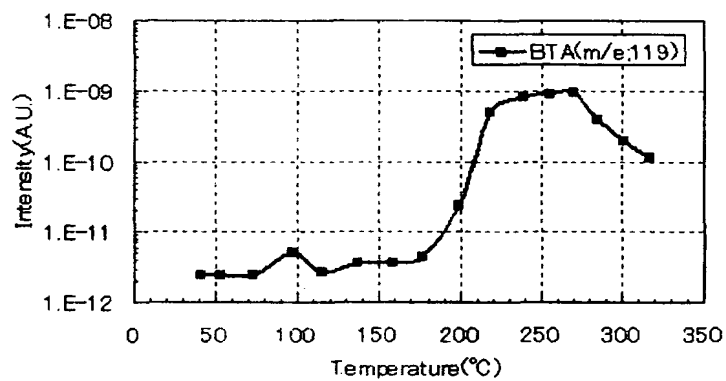
Cu-Si相図

【図 5】

(a)



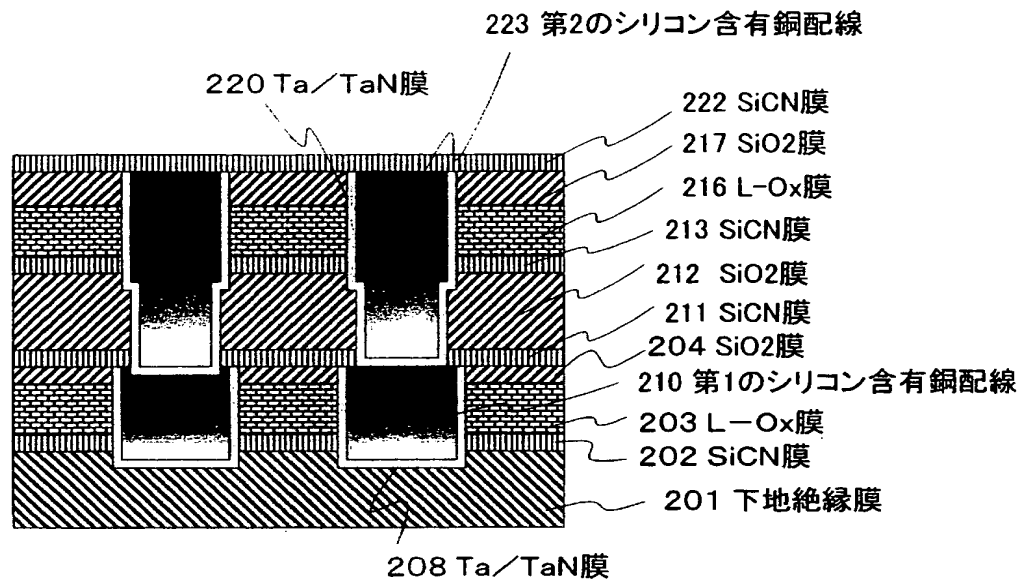
(b)



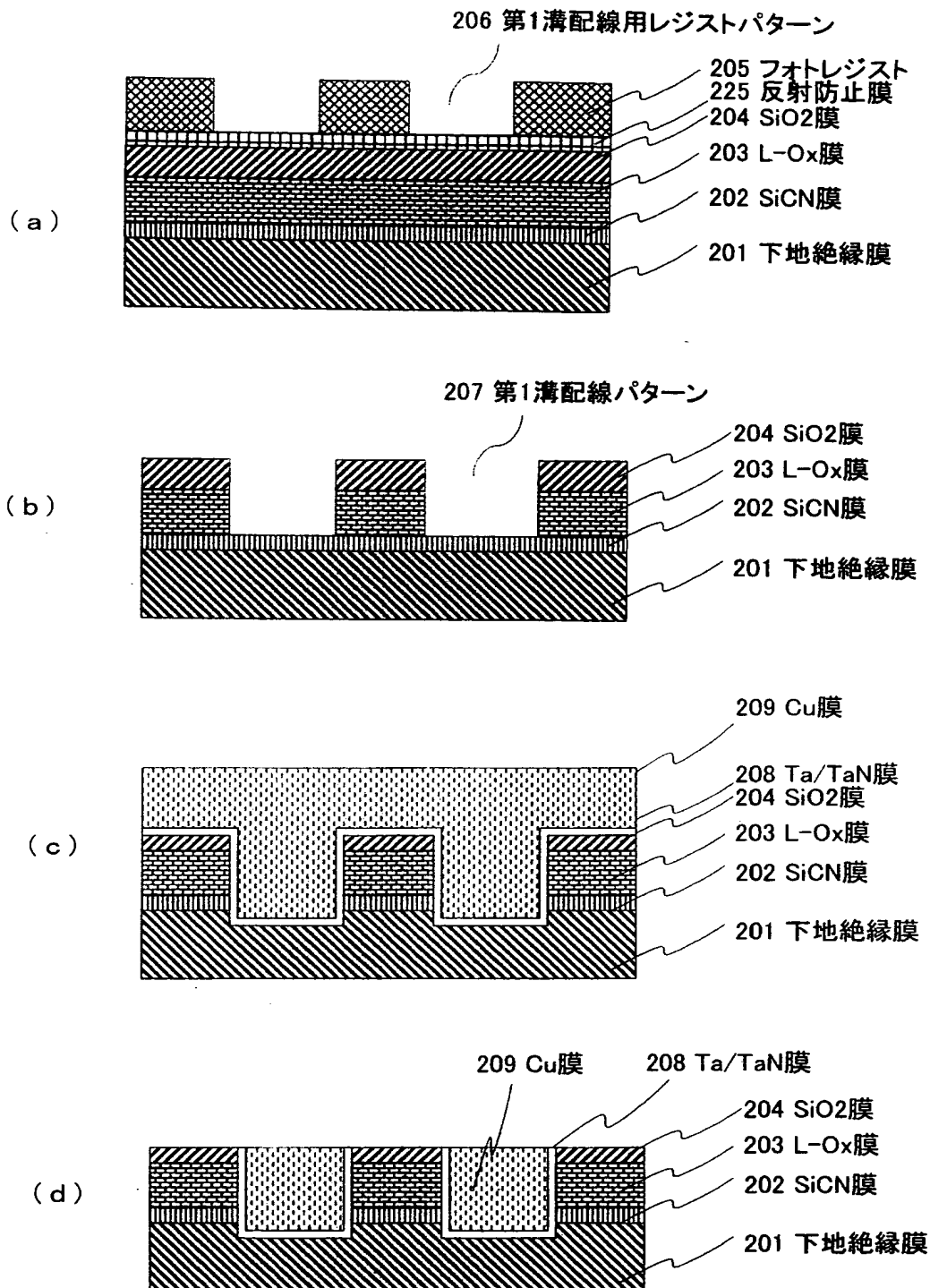
(c)

SiH4 処理温度 (°C)	200	225	250	300	350
Si含有 有無	X	X	○	○	○

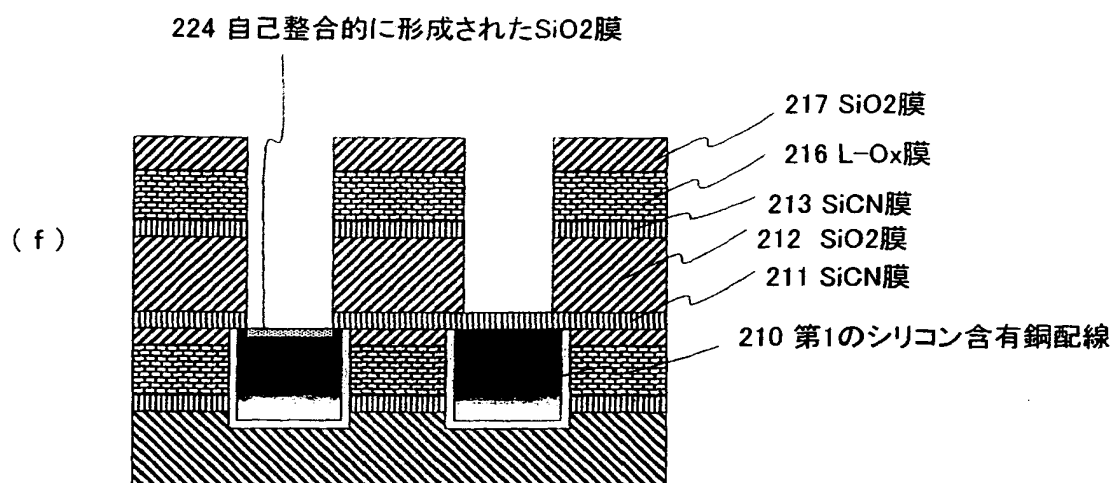
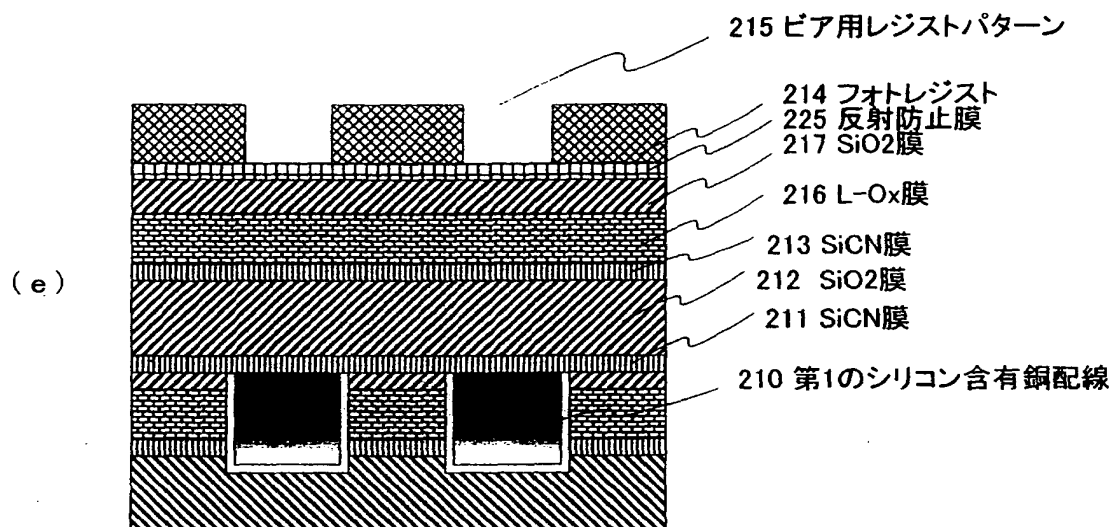
【図 6】



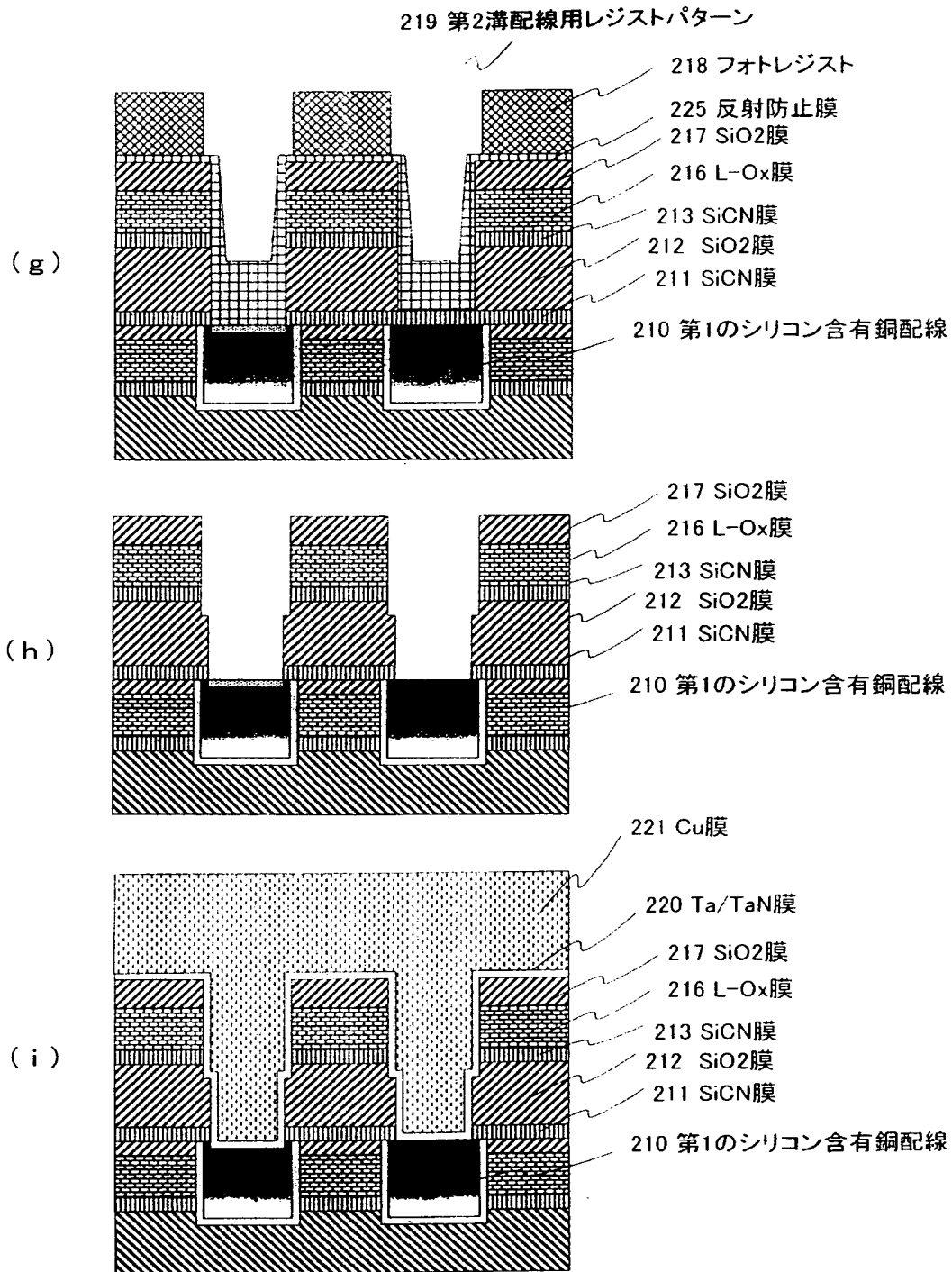
【図 7】



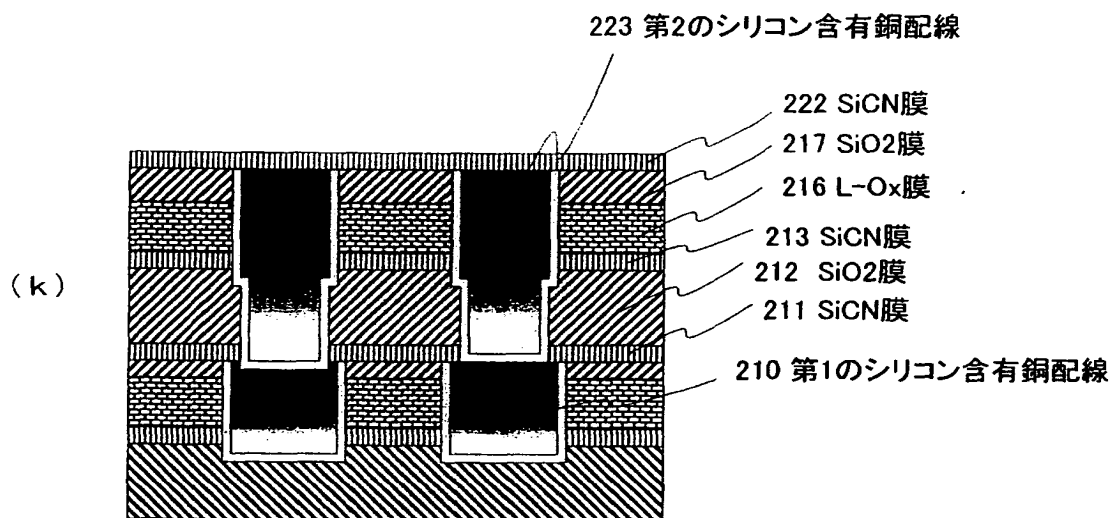
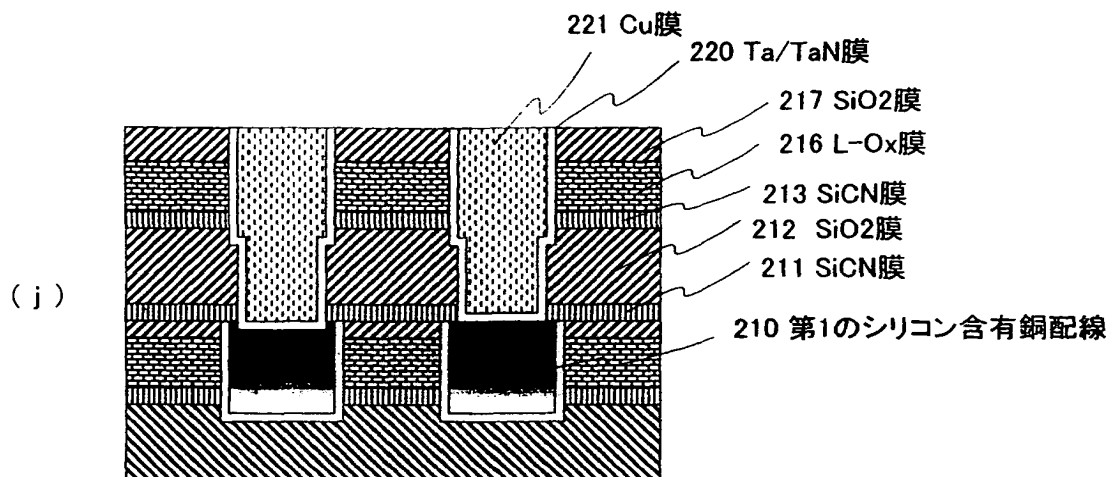
【図 8】



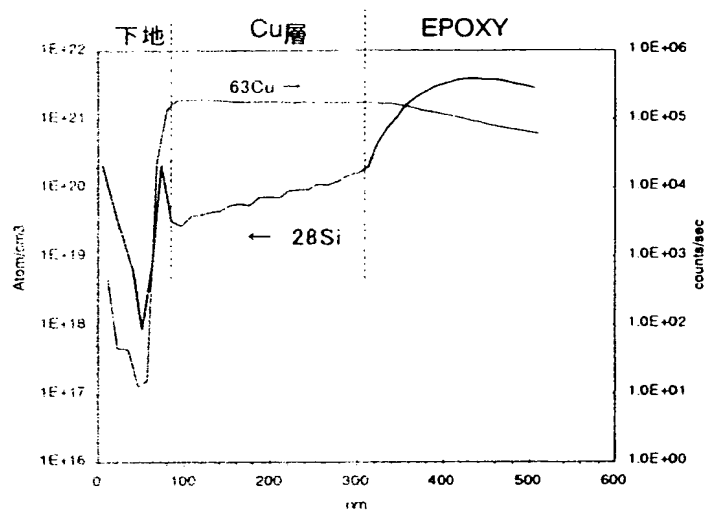
【図 9】



【図 10】

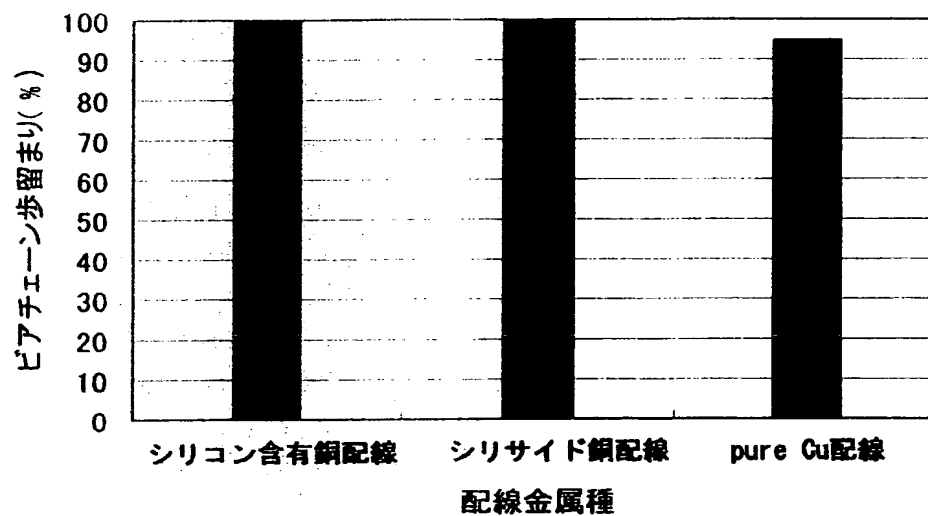


【図 1 1】



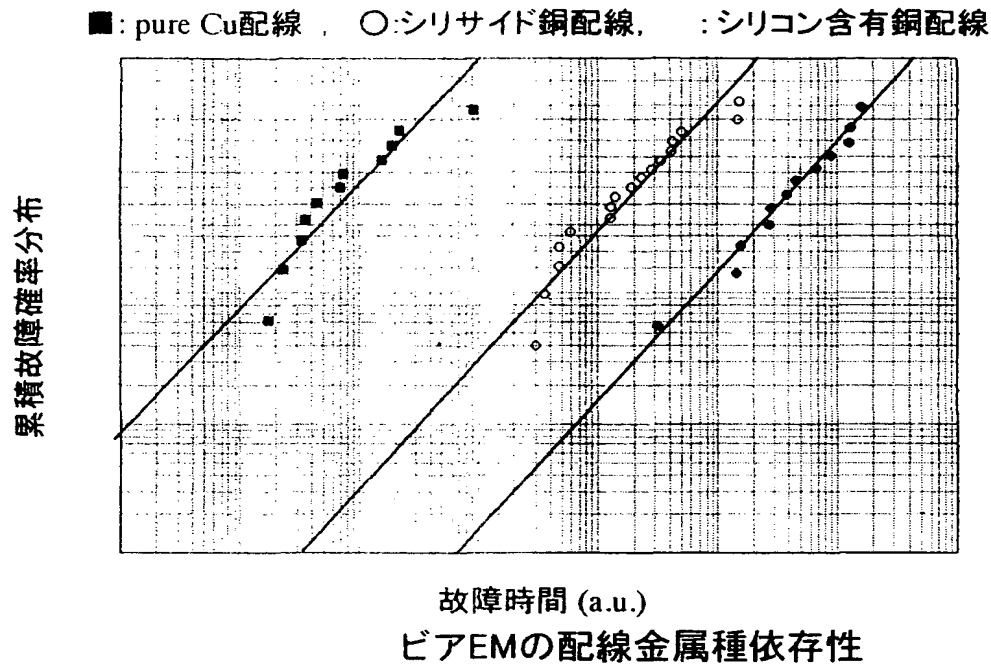
シリコン含有銅配線のBSIMS測定結果

【図 1 2】



ビアチェーン歩留まりの配線金属種依存性

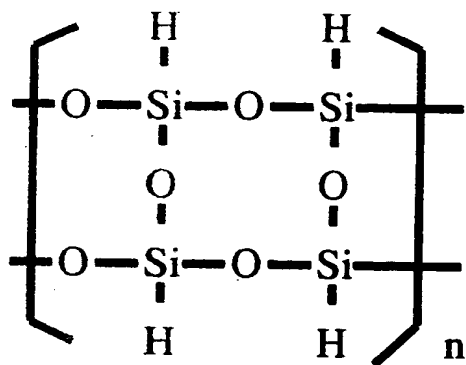
【図 1 3】



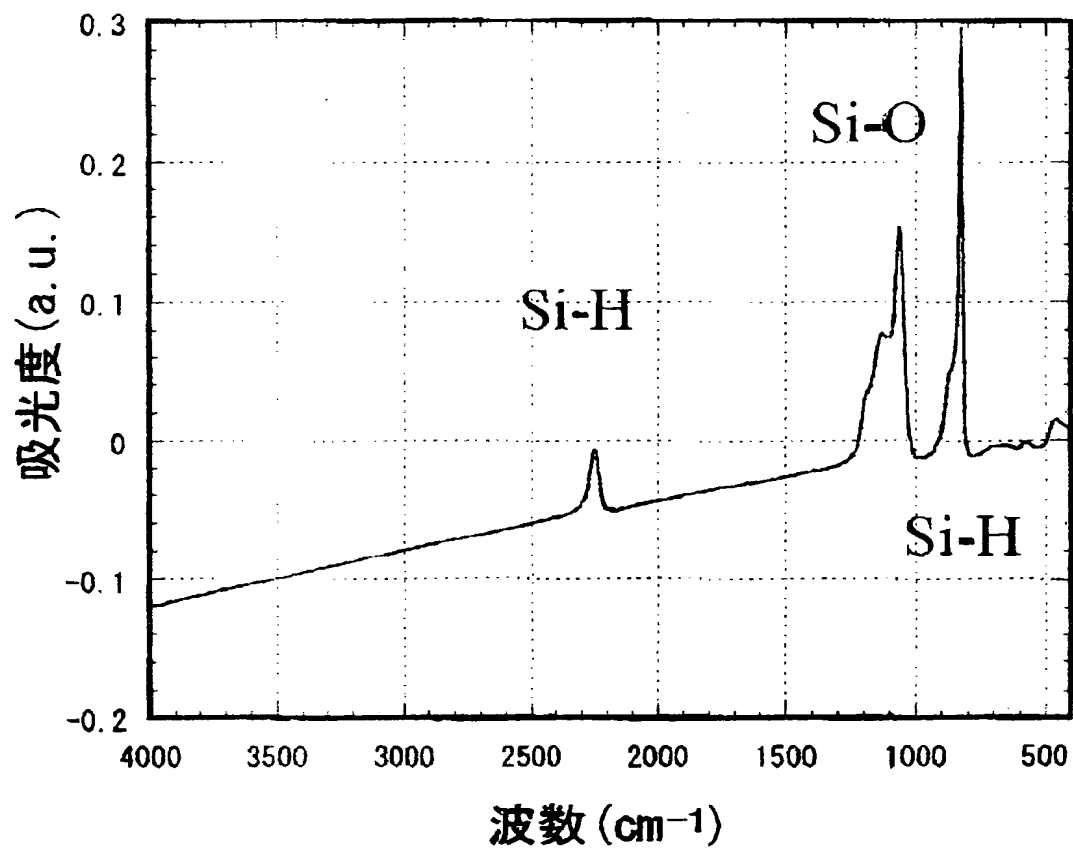
【図 1 4】

誘電率 (@1MHz)	2.9
屈折率 (@633nm)	1.39
応力 (dyne/cm ²)	7.00E+08
硬度 (Gpa)	0.9
弾性率 (Gpa)	6
熱膨張係数 (ppm/deg-C)	18
ガラス転位温度 (deg-C)	none
熱伝導率 (W/mk@25 deg-C)	0.31

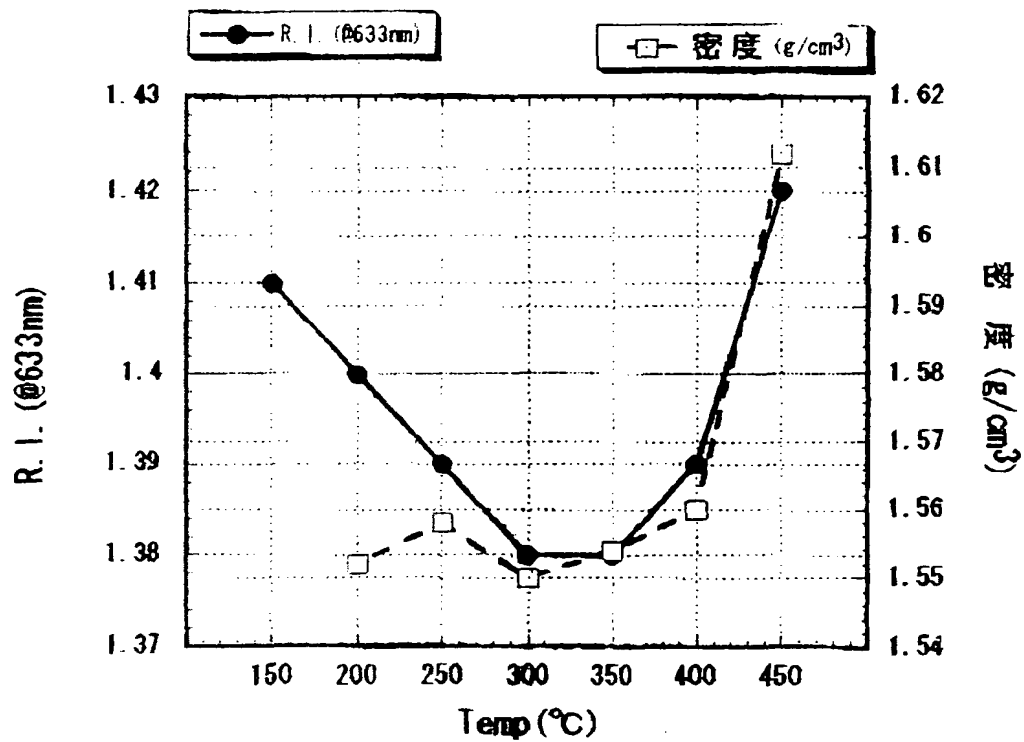
【図 15】



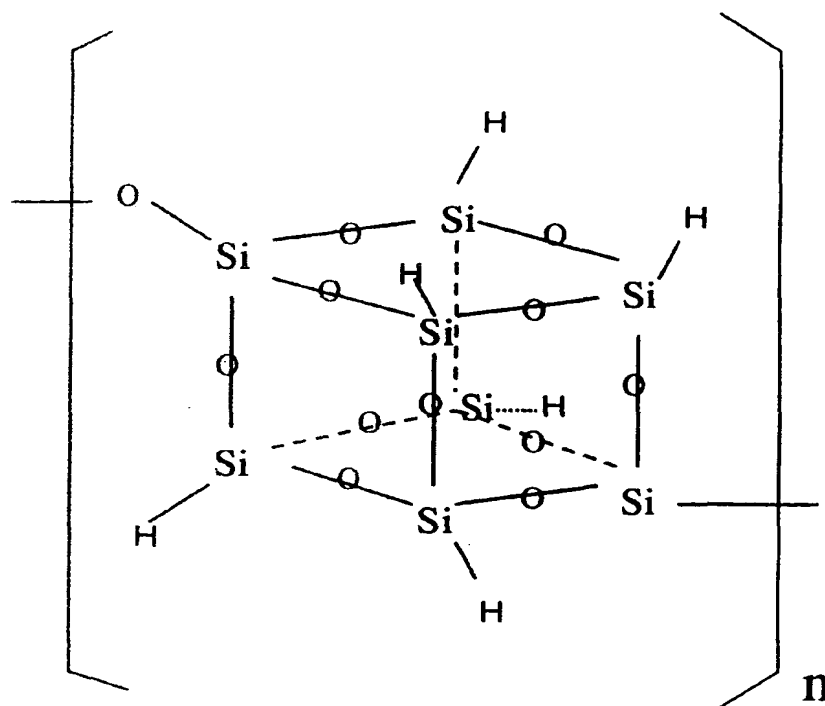
【図 16】



【図 17】

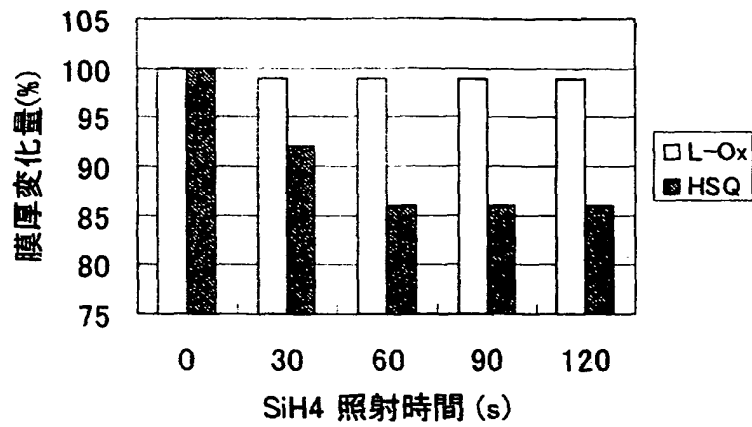


【図 18】

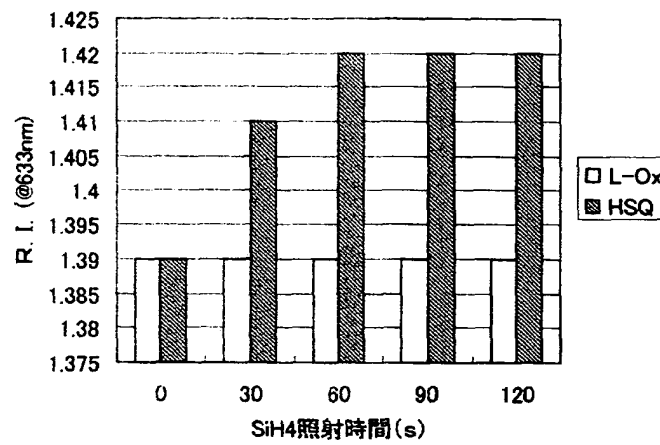


【図 19】

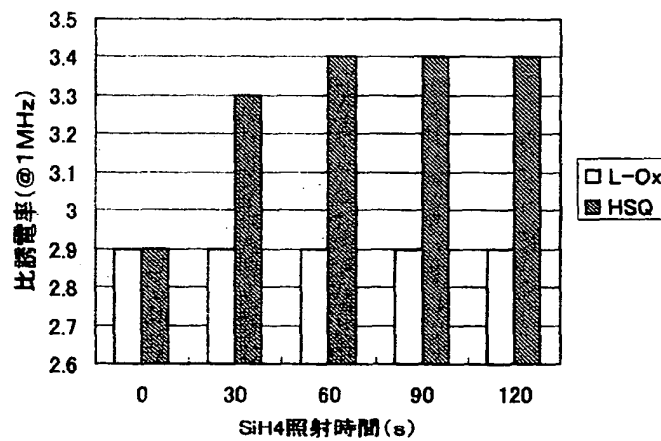
(a)



(b)



(c)

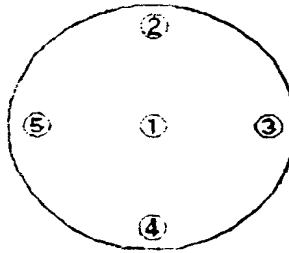


【図 20】

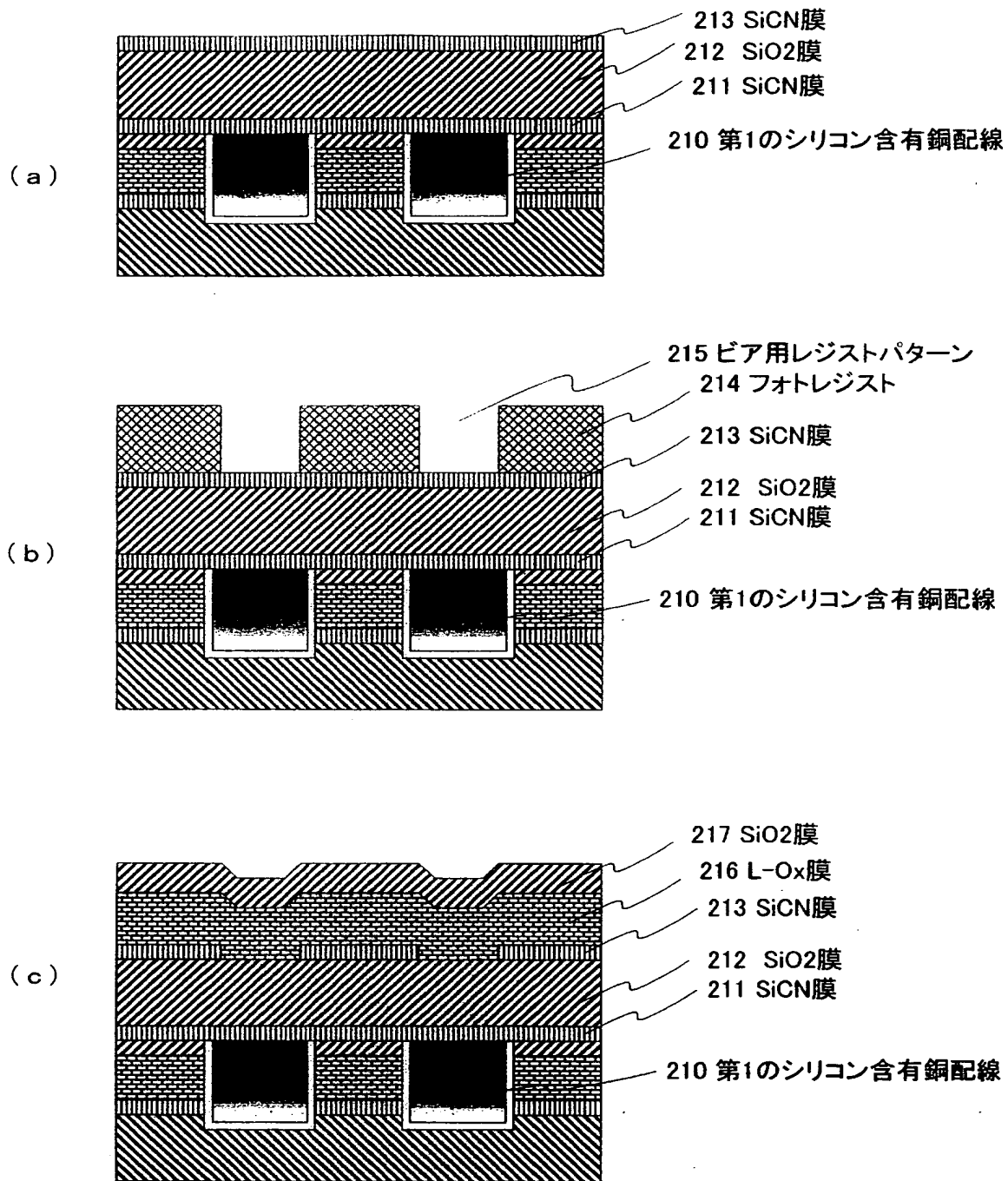
(a)

	①	②	③	④	⑤
L-Ox	957	981	915	922	932
HSQ	1198	1232	1007	1101	1058

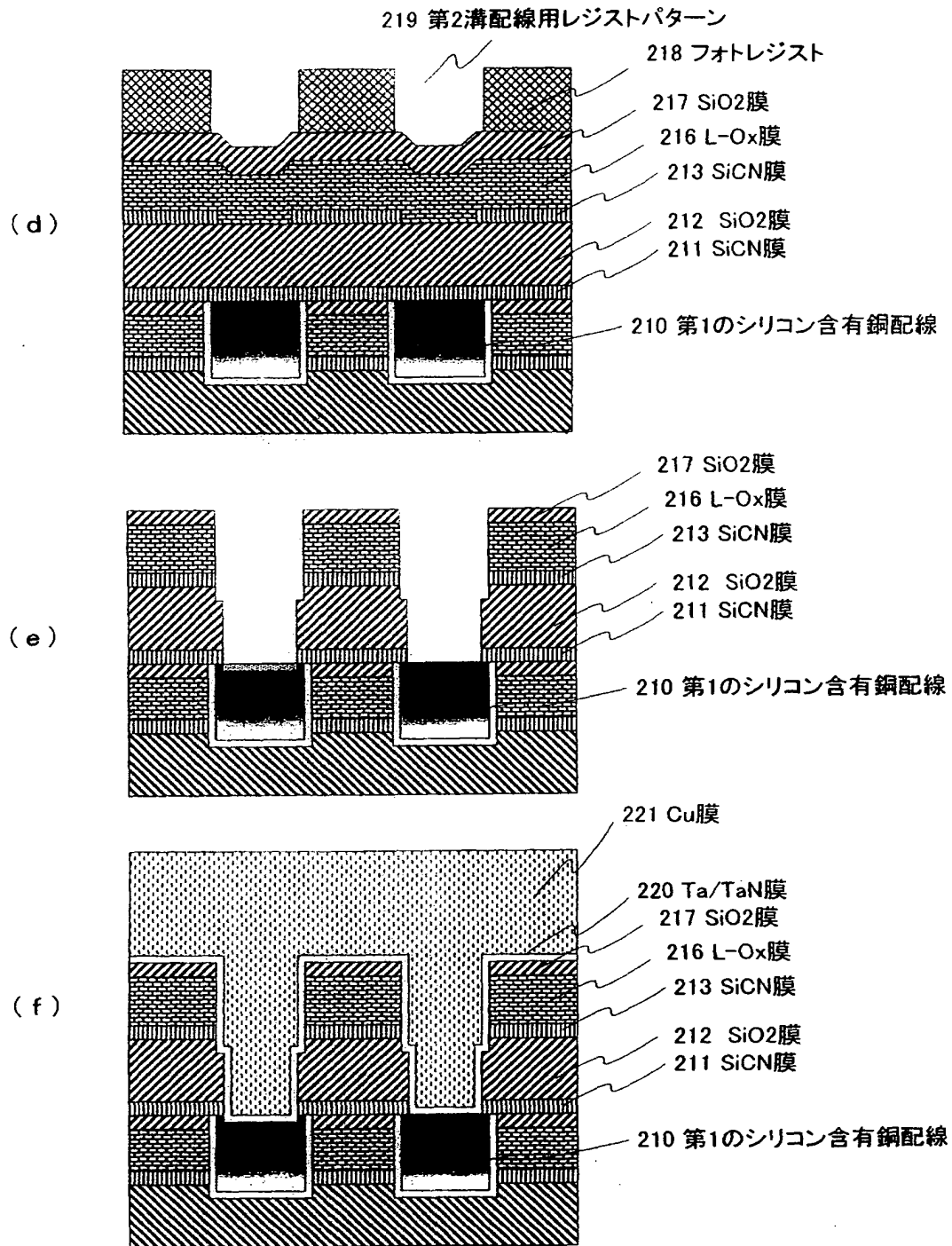
(b)



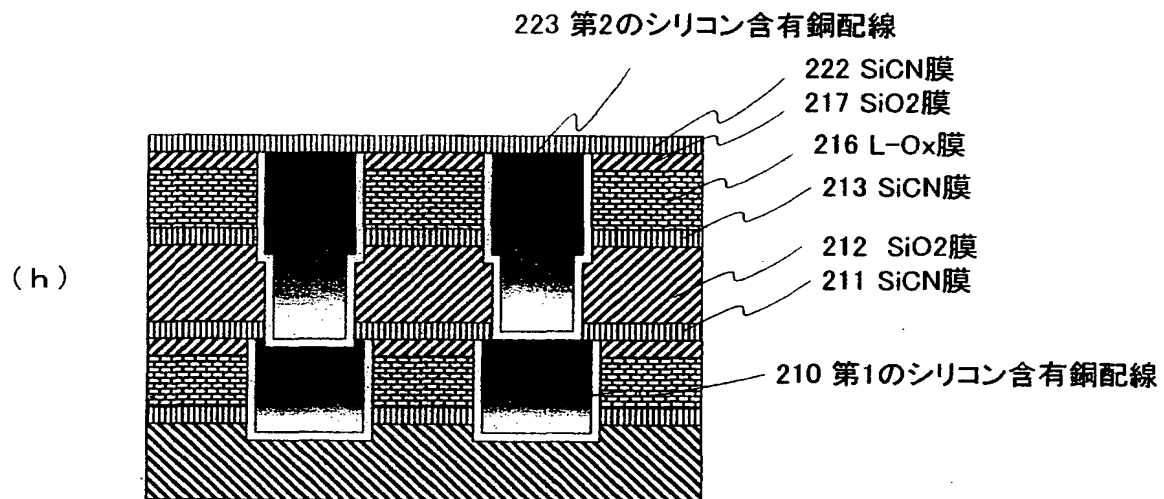
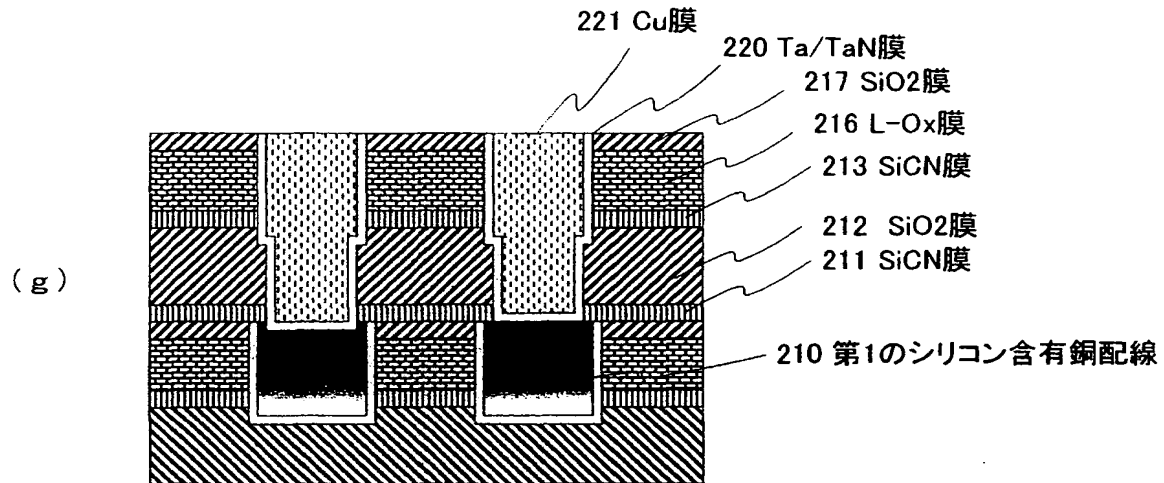
【図 21】



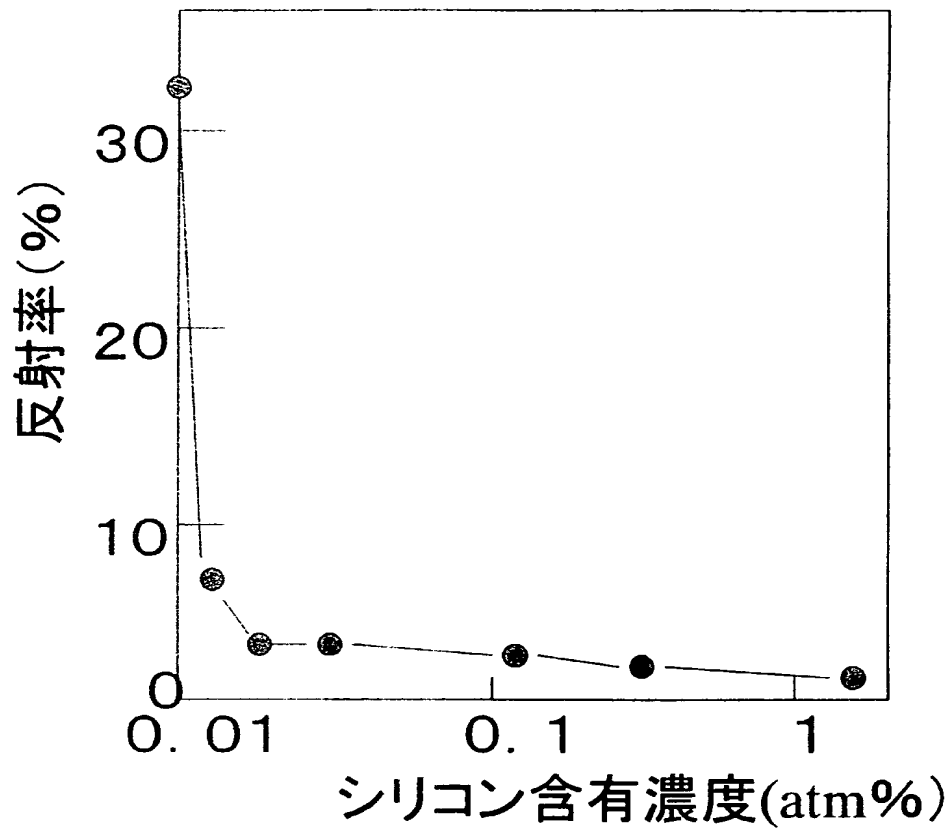
【図 22】



【図 23】

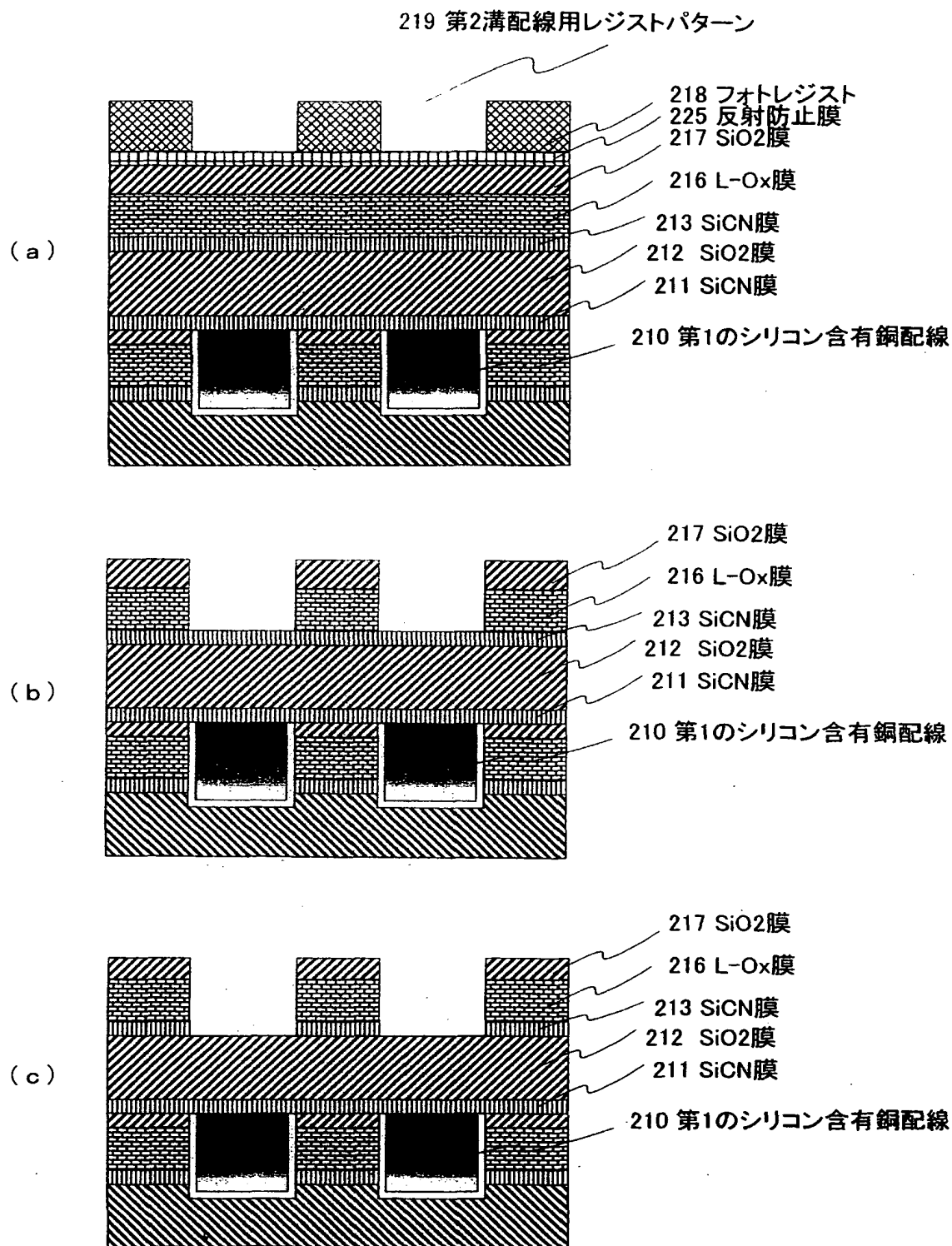


【図 24】

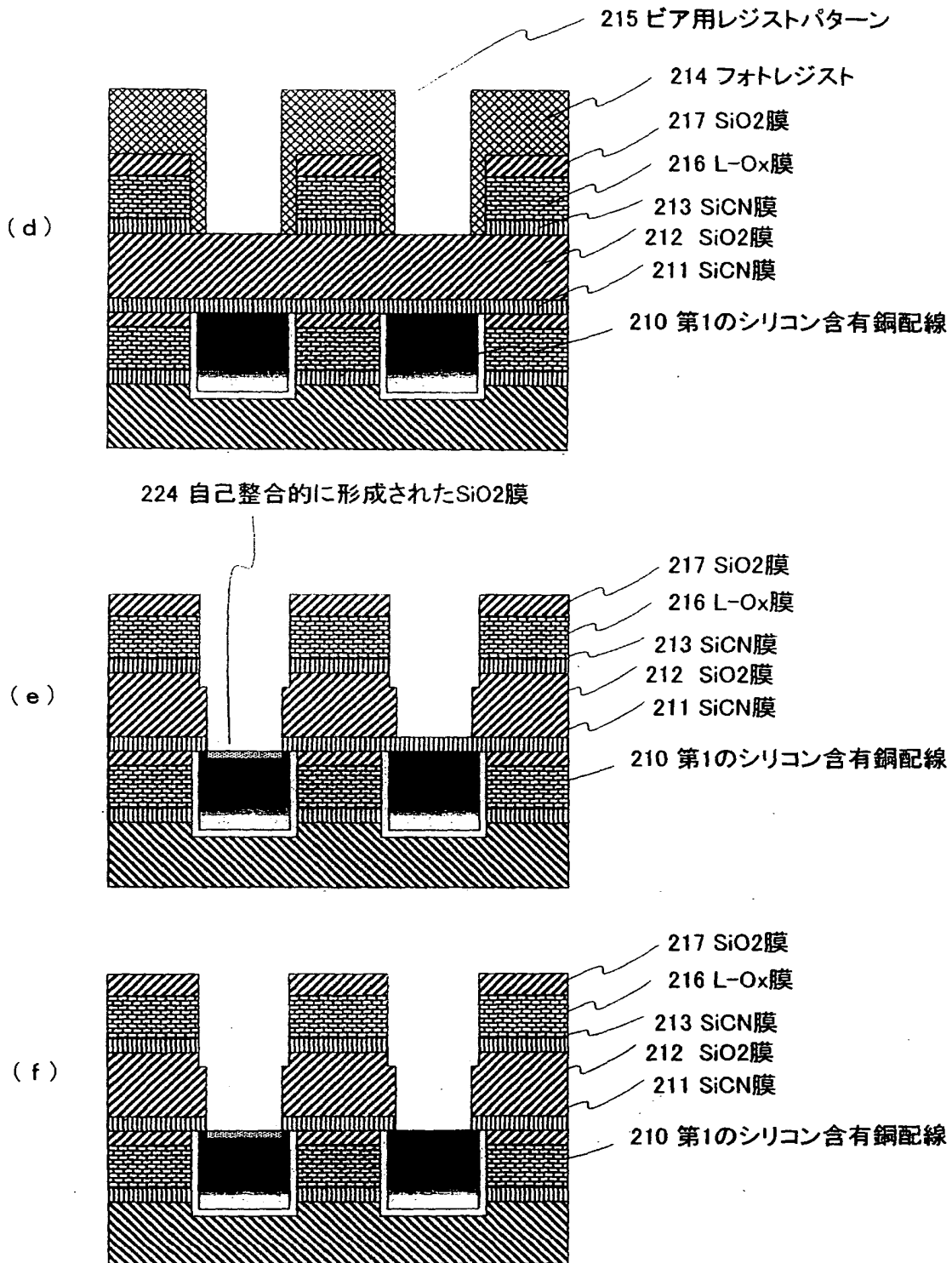


反射率vs シリコン含有率(透過光:100%)

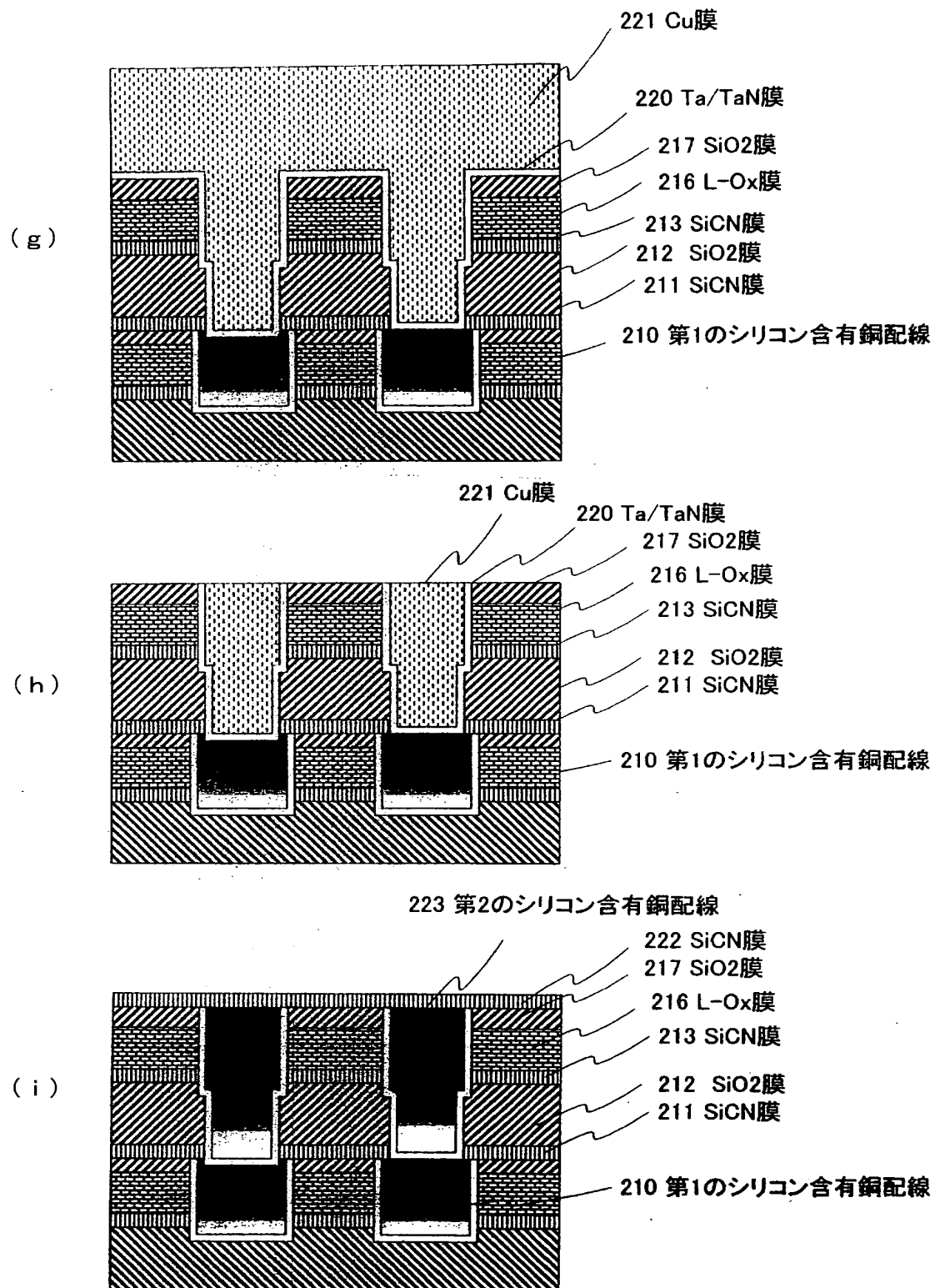
【図 25】



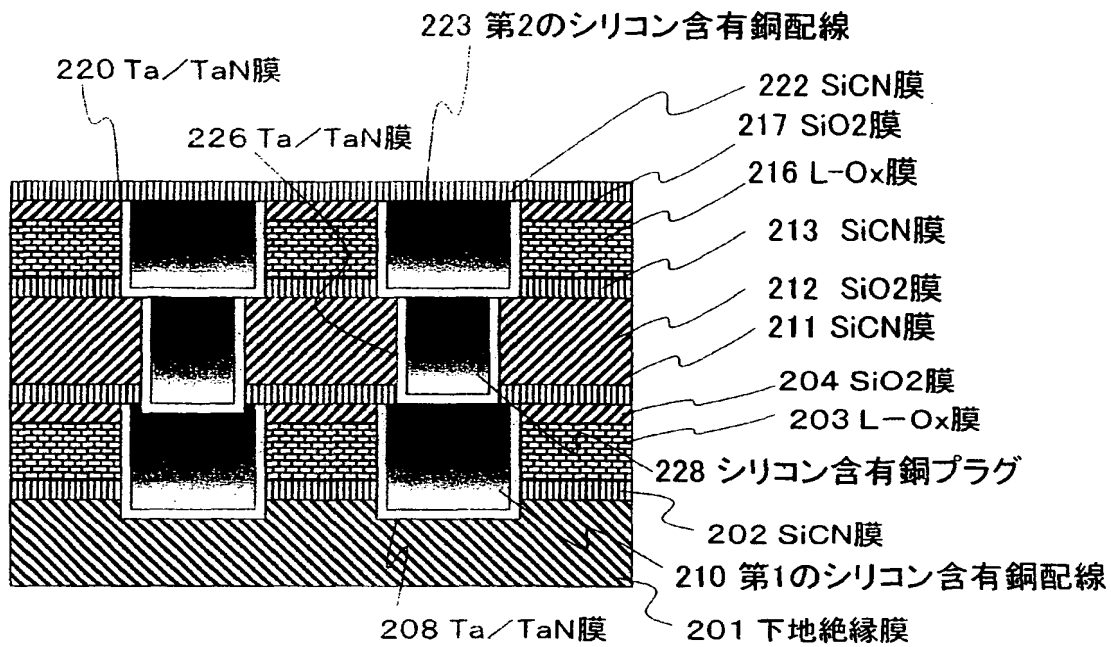
【図 26】



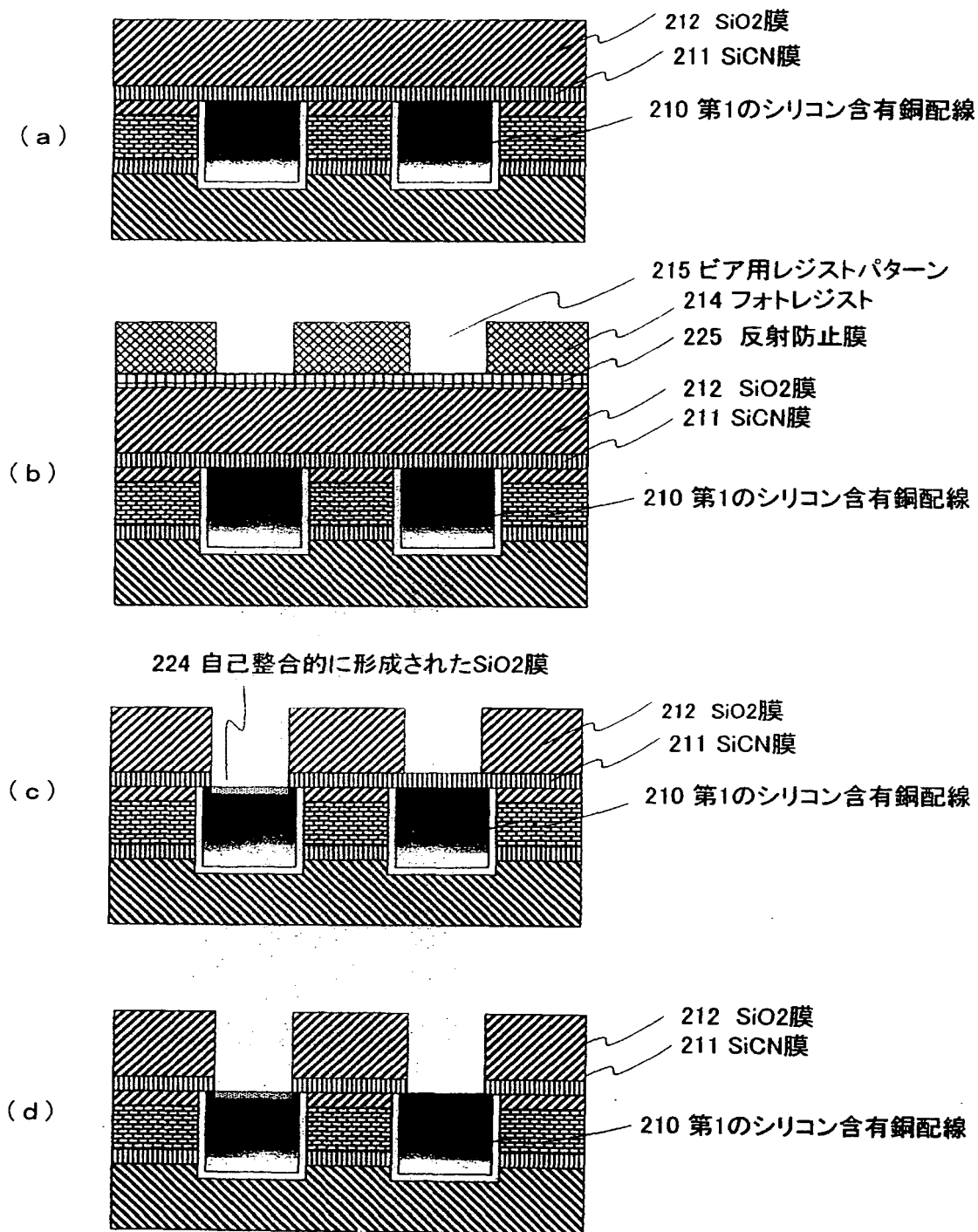
【図 27】



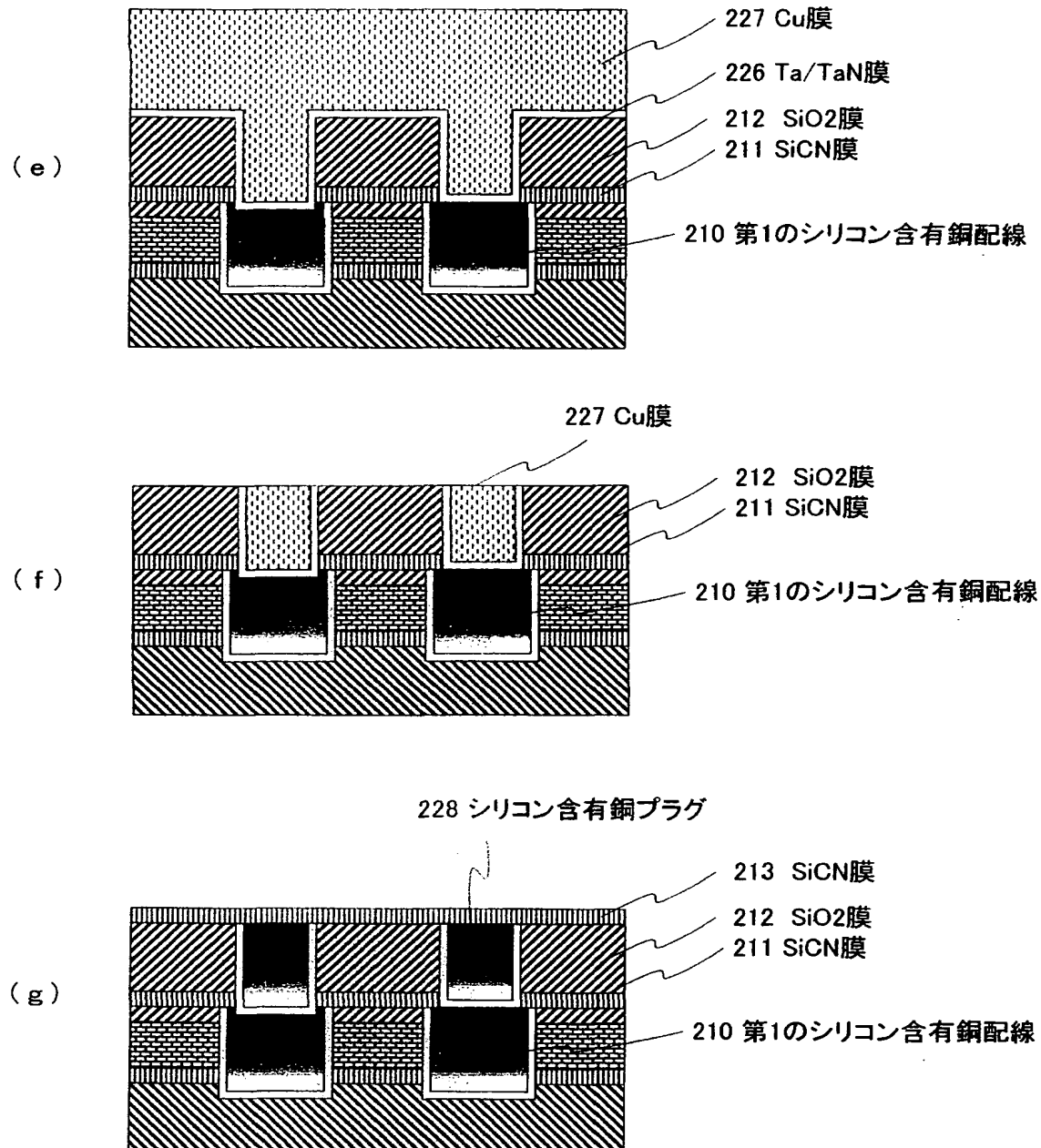
【図 28】



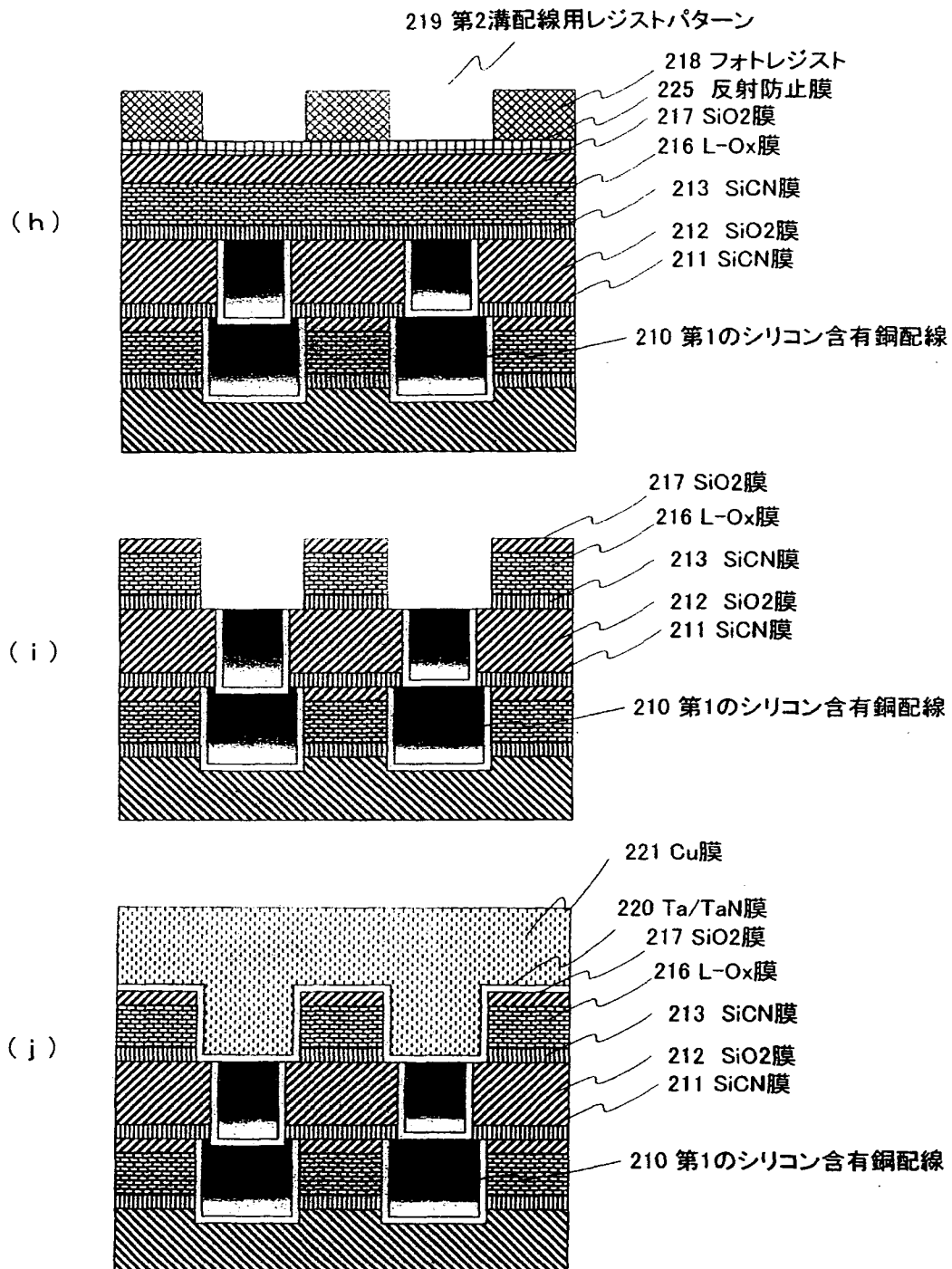
【図 29】



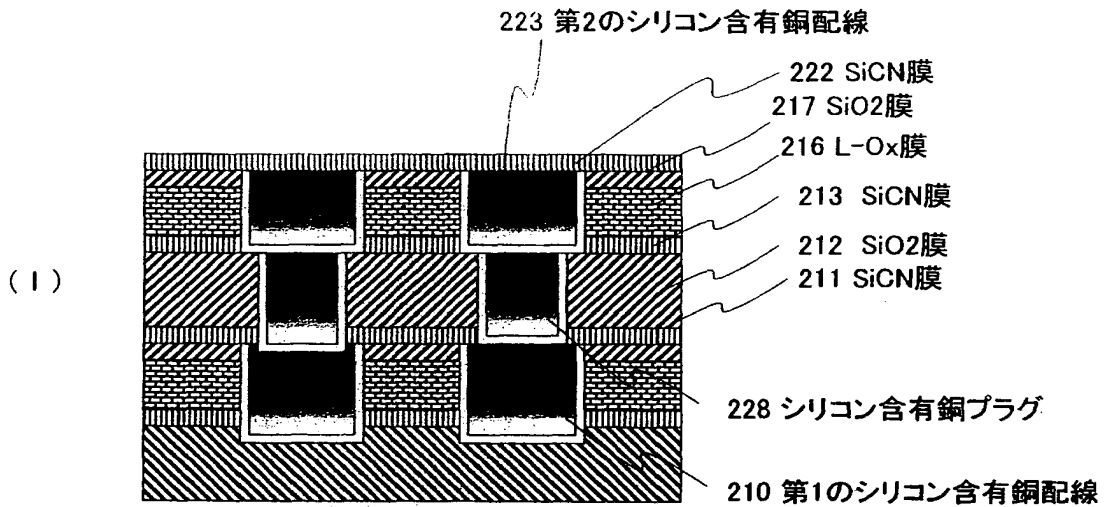
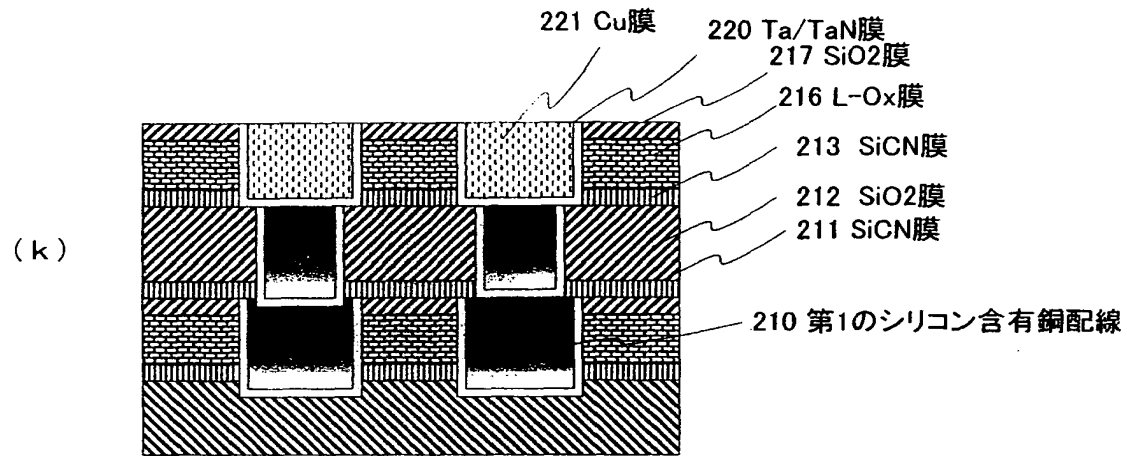
【図 30】



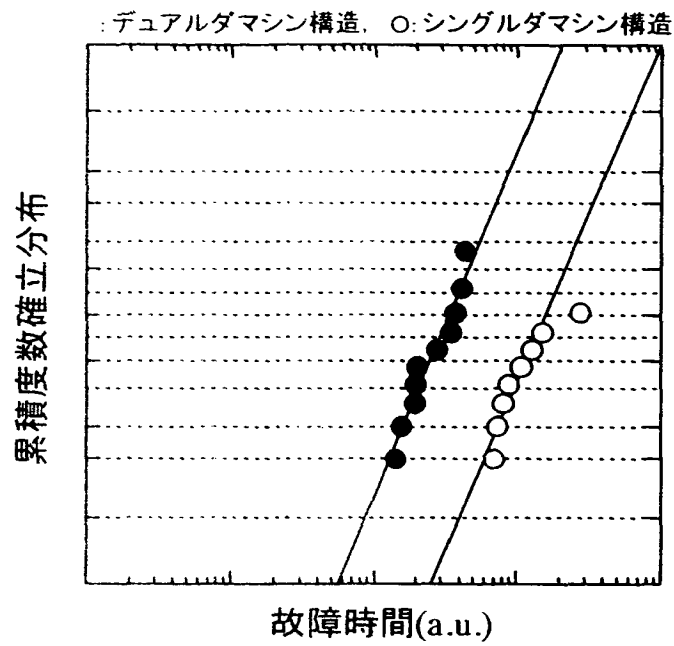
【図 31】



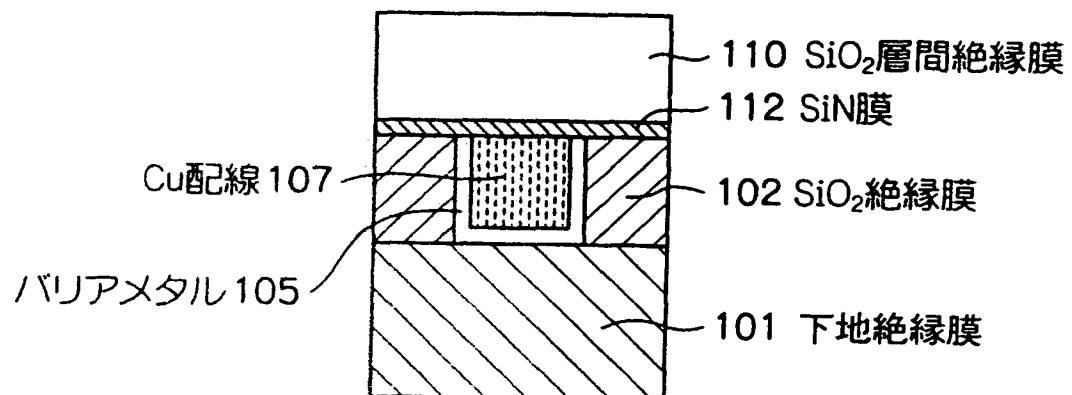
【図 3 2】



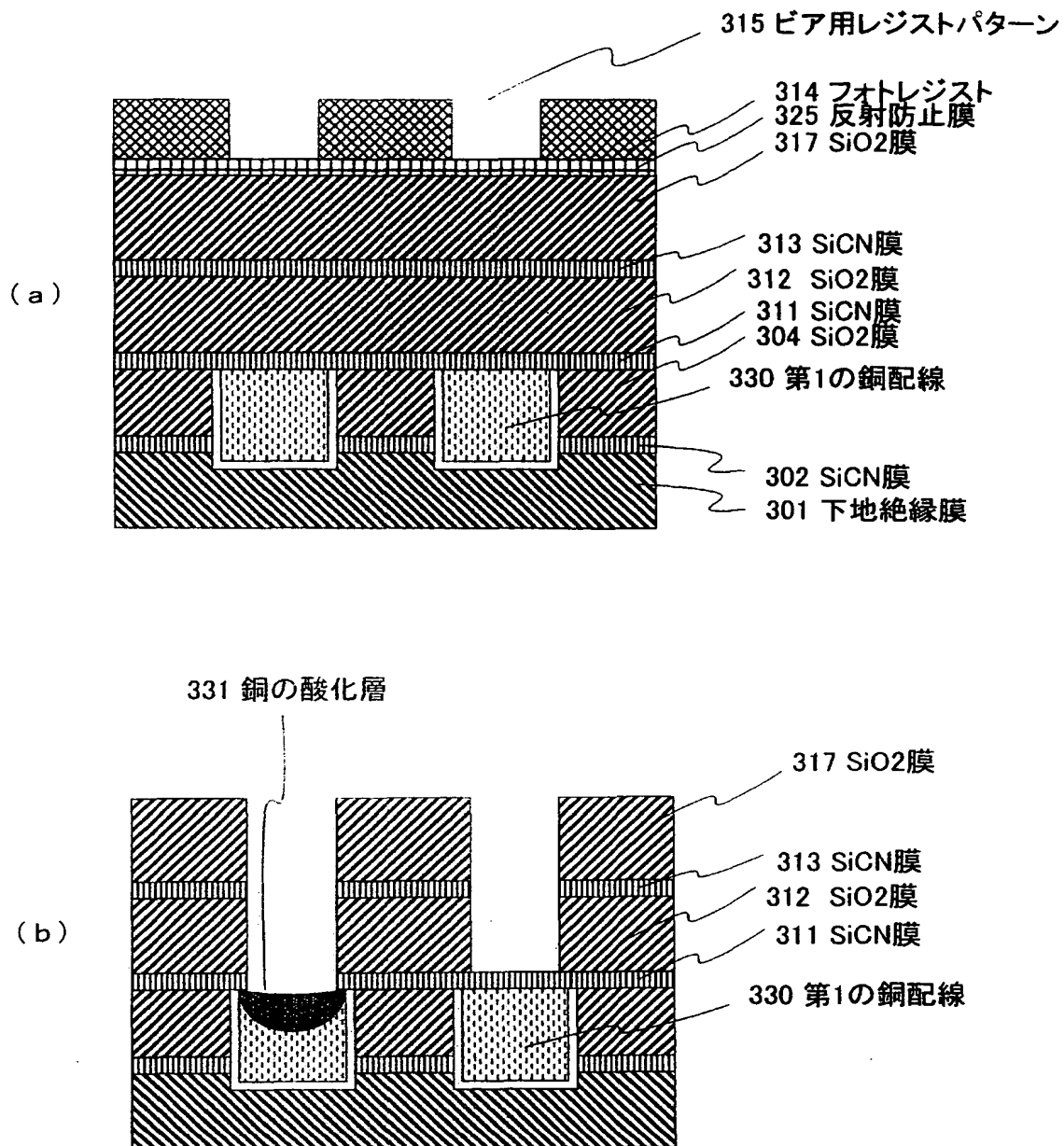
【図 3 3】



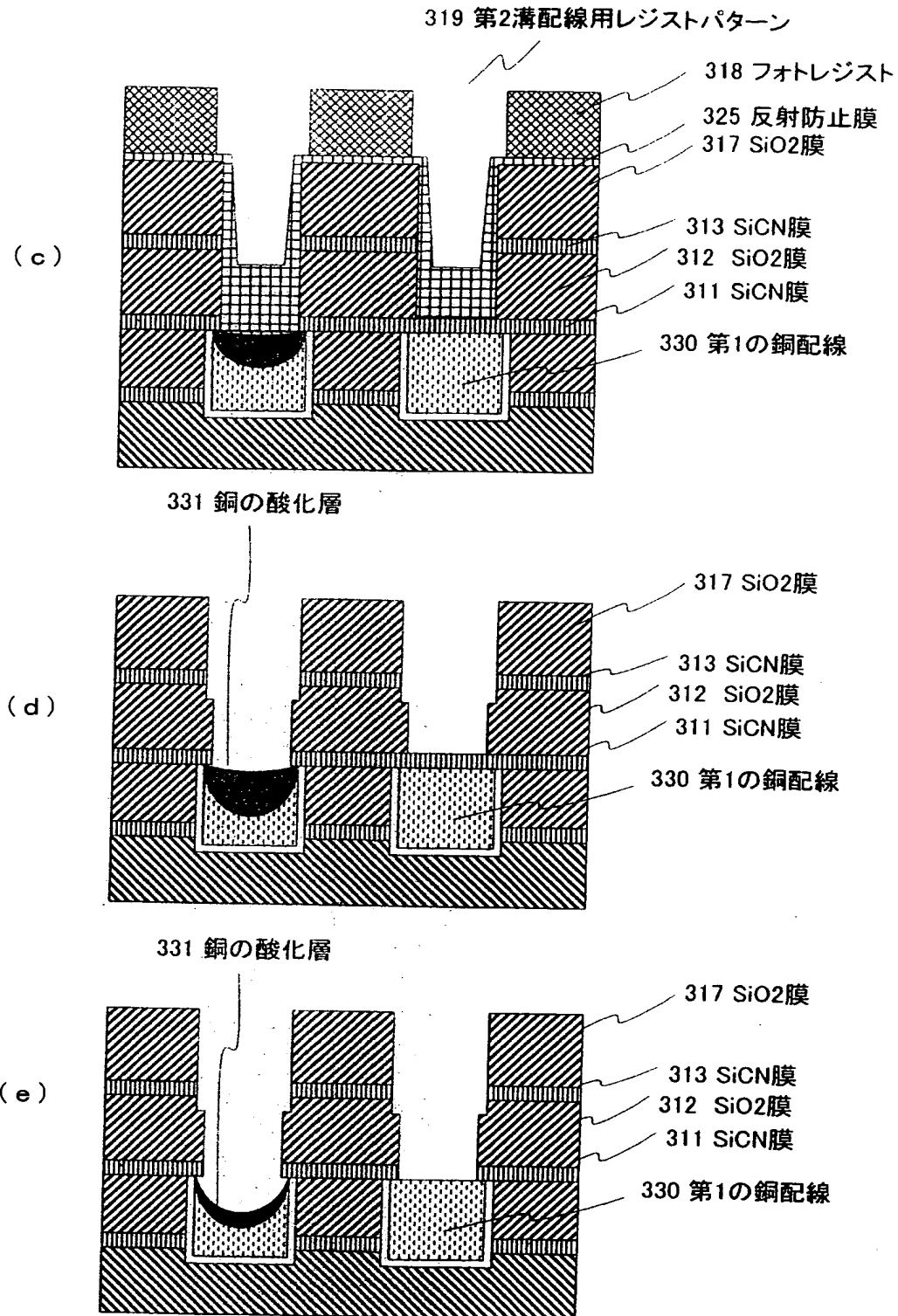
【図 3 4】



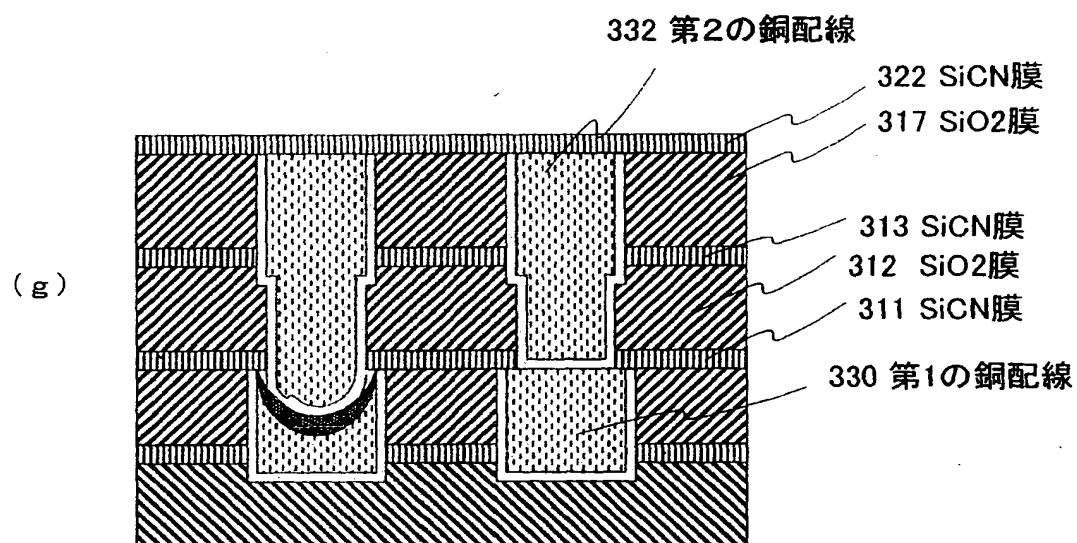
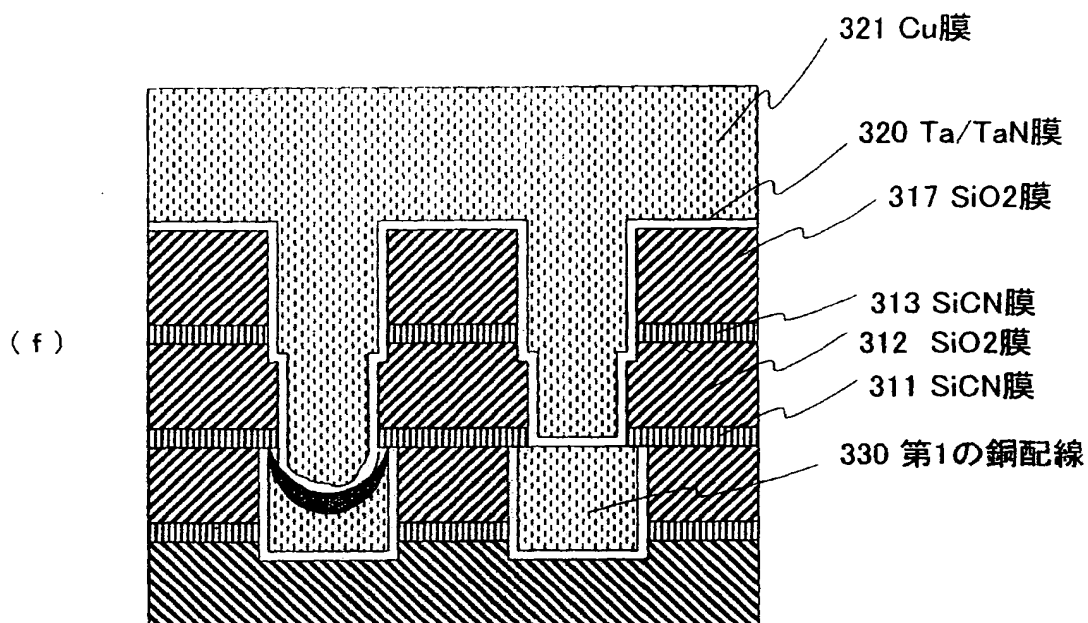
【図 35】



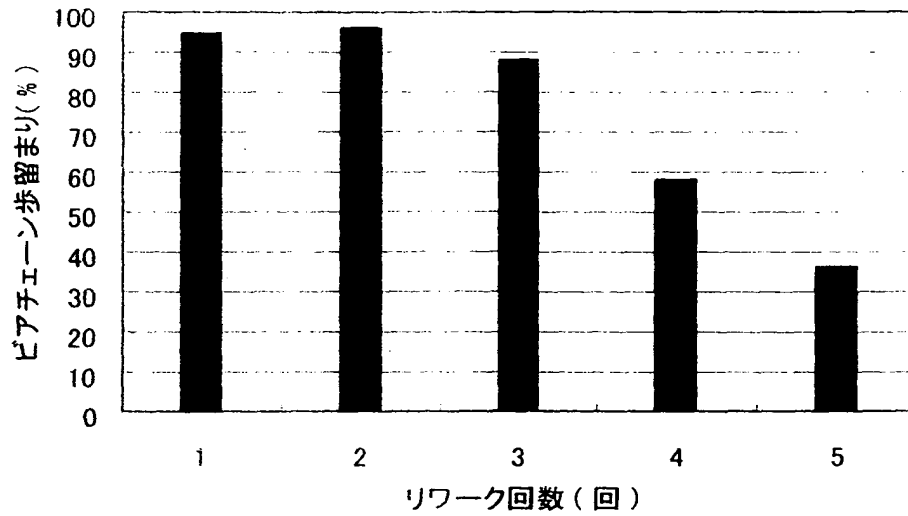
【図 36】



【図37】



【図 38】



ビアチェーン歩留まりのリワーク回数依存性 (pure Cu 配線)

【書類名】 要約書

【要約】

【課題】 Cu 配線などの金属配線について、金属配線と金属拡散防止膜との密着性が向上し、金属配線のエレクトロマイグレーション耐性向上により金属配線寿命の長い半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に形成された絶縁膜 2 の溝部内に、上面が露出する金属配線 7 を形成し、金属配線 7 上面からシリコンを拡散させ、シリコン含有金属配線 8 の露出面に金属拡散防止膜 9 を形成する。

【選択図】 図 3

特願 2 0 0 3 - 1 3 0 4 8 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社